

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Ryota NANJO, et al.**

Serial No.: **Not Yet Assigned**

Filed: **February 28, 2002**

For: **SEMICONDUCTOR DEVICE AND ITS MANUFACTURE METHOD**

JC97s U 10/084367 P TO
02/28/02

2/PD
Leprechaun
5-29-02

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

February 28, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2001-067164, filed March 9, 2001

Japanese Appln. No. 2001-256108, filed August 27, 2001

In support of these claims, the requisite certified copies of said original foreign applications are filed herewith.

It is requested that the file of these applications be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copies.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson
Reg. No. 27,133

Atty. Docket No.: 020200
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
DWH/l1

日本国特許庁
JAPAN PATENT OFFICE

JP978 U.S. PRO
10/084367
02/28/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 3月 9日

出願番号
Application Number:

特願2001-067164

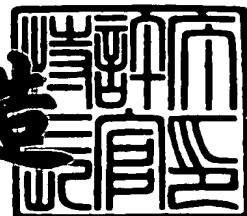
出願人
Applicant(s):

富士通株式会社

2001年 5月 25日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3043229

【書類名】 特許願
 【整理番号】 0041199
 【提出日】 平成13年 3月 9日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 21/00
 【発明の名称】 半導体装置及びその製造方法
 【請求項の数】 8
 【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
 株式会社内
 【氏名】 南條 亮太
 【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
 株式会社内
 【氏名】 菅谷 慎二
 【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
 株式会社内
 【氏名】 中井 聰
 【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
 【代理人】
 【識別番号】 100091340
 【弁理士】
 【氏名又は名称】 高橋 敬四郎
 【電話番号】 03-3832-8095
 【手数料の表示】
 【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 (a) 主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板を準備する工程と、

(b) 前記第1の領域の一部及び前記第2の領域の一部の上に、それぞれ第1のゲート電極と第2のゲート電極とを形成する工程と、

(c) 前記第2のゲート電極をマスクとして、前記第2の領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、第1の不純物拡散領域を形成する工程と、

(d) 前記第1及び第2のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、

(e) 次いで、前記第1及び第2のゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部と前記第2の領域の表層部とに、前記第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程と、

(f) 次いで、前記第1のスペーサ膜を除去する工程と、

(g) 前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のp-n接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のp-n接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程と
を有する半導体装置の製造方法。

【請求項2】 前記第1から第3までの活性化処理の各々は、750℃以上の熱処理を含む工程である

請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第3の活性化処理がレーザ・サーマル・プロセスである
請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 少なくとも前記第1のゲート電極はダミーゲート電極であり、前記(g)工程の後に、さらに、前記半導体基板上に前記ダミーゲート電極を形成する材料とは異なるエッティング特性を有する絶縁膜を形成するとともに、前記絶縁膜の表面を平坦化して前記ダミーゲート電極の上面を露出させる工程と、前記ダミーゲート電極を前記絶縁膜に対して選択的に除去する工程と、前記ダミーゲート電極を除去した場所に導電性材料を埋める工程とを含む

請求項1から3までのいずれか1項に記載の半導体装置の製造方法。

【請求項5】 前記第1のゲート電極のうち最短のゲート長が、前記第2のゲート電極の最短のゲート長よりも短い

請求項1から4までのいずれか1項に記載の半導体装置の製造方法。

【請求項6】 前記第1の活性化処理と前記第2の活性化処理とが、同時に行われる活性化処理である

請求項1に記載の半導体装置の製造方法。

【請求項7】 (a) 主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板を準備する工程と、

(b) 少なくとも前記第1の領域の一部の上に、第1のゲート電極を形成する工程と、

(c) 前記第2の領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、第1の不純物拡散領域を形成する工程と、

(d) 前記第1のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、

(e) 前記第1のゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程と、

(f) 前記第1のスペーサ膜を除去する工程と、

(g) 前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のp-n接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前

記第1の不純物拡散領域のp-n接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程と
- を有する半導体装置の製造方法。

【請求項8】 主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板と、

前記第1の領域と前記第2の領域とにそれぞれ形成された第1のゲート電極と第2のゲート電極と、

前記第2のゲート電極の両側の表層部に形成され、前記第1導電型とは反対の第2導電型不純物がドープされた第1のSDE領域と、

前記第1のゲート電極の両側の表層部に形成され、p-n接合部における不純物濃度分布の勾配が前記第1のSDE領域のp-n接合部における不純物濃度分布の勾配よりも急峻に形成された第2のSDE領域と、

前記第1及び第2のSDE領域のそれぞれの両側に形成され、前記第1の領域と前記第2の領域とでp-n接合部における不純物濃度分布が同じであるソース／ドレイン領域と
を含む半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、より詳細には、微細ゲートを有する高速動作が可能な高速用トランジスタと高電圧用のトランジスタとのように、異なる不純物プロファイルを有する不純物拡散領域（不純物拡散領域）が必要な素子を同一基板上に形成するための半導体技術に関する。

【0002】

【従来の技術】

MOS型トランジスタを含む半導体装置の高性能化のためには、MOS型トランジスタの微細化が不可欠である。特にMOS型トランジスタのチャネル長、すなわちゲート長を短くすることにより、半導体装置の高速性を著しく向上させることができる。ゲート長を短くした場合には、いわゆるショートチャネル効果の

影響を低減するために、ソース・ドレイン・エクステンション（Source Drain Extension: SDE）構造を採用するのが好ましい。

【0003】

例えば、ゲート電極を形成した後に、ゲート電極の側壁に側壁スペーサ膜などを設けることにより、ゲート電極の端部とスペースをあけてソース／ドレイン領域を形成する。SDE構造とは、このスペースの領域にソース／ドレインの不純物拡散領域よりも接合深さが浅く、ソース／ドレイン領域と同じ導電型の不純物拡散領域が形成された構造を言う。SDE構造中の不純物濃度が低いものから順に、LDD（Lightly Doped Drain）構造、MDD（Medium Doped Drain）構造、HDD（Highly Doped Drain）構造などと呼ばれる。

【0004】

尚、エクステンション領域とは、一般的にはその領域の不純物濃度が比較的高い構造を指すものと考えられるが、本明細書中において用いるSDE構造又はSDE領域という用語は、その領域の不純物濃度の高低にかかわらず、上記のスペースの領域にソース／ドレインの不純物拡散領域よりも接合深さが浅く、ソース／ドレイン領域と同じ導電型の不純物拡散領域が形成された構造又は領域を表すものと定義する。

【0005】

例えば、トランジスタのゲート長を50nmにした場合には、SDE領域を形成する不純物拡散領域の厚さは20nmから30nm程度にするのが好ましい（SIA load map、1999参照）。

【0006】

SDE領域を形成するためには、例えば、半導体基板中に不純物イオンを注入した後、ラピッド・サーマル・アニール（Rapid Thermal Annearl: RTA）法やレーザ・サーマル・プロセス（Laser Thermal Process: LTP）法を用いてイオンの活性化処理を行う。RTA法及びLTP法では、通常のTA（Thermal Annearl）法よりも昇温及び降温の速度を上げている。RTA法は、短時間の間に半導体基板全体の温度

を変化させる。これに対して、LTP法は、半導体基板表面にレーザ照射することにより、極短時間の間に不純物の活性化率を上げることができ、半導体基板表面近傍に非常に浅くかつ不純物濃度が急峻に変化する接合を得ることができる。

【0007】

イオン注入法と上記の活性化処理とを併用すれば、不純物濃度と、厚さ方向の不純物濃度プロファイルの急峻性と、不純物拡散領域の厚さとを調整することができる。

【0008】

【発明が解決しようとする課題】

ところで、半導体集積回路装置においては、例えば1. 6V程度の低電圧で動作し、高速動作を必要とするゲート長の短いトランジスタ（以下、「高速動作用（の）トランジスタ」と称する。）と、例えば、3. 3Vなどの高電圧での動作が可能であり、入出力（I/O）回路を構成するトランジスタ（以下、「高電圧用（の）トランジスタ」と称する。）とを同一基板内に混載する例も多い。

【0009】

図15（A）及び図15（B）は、SDE構造を採用した高速動作用トランジスタと、同じくSDE構造を採用した高電圧用のトランジスタとを同一基板上に混載した2種類の半導体装置の断面図である。

【0010】

図15（A）は、SDE領域を高電圧用のトランジスタに適するトランジスタ構造の断面図である。

【0011】

図15（A）に示すように、p型シリコン基板400に、素子分離領域400aにより分離された第1領域402と第2領域403とを画定する。第1領域402にゲート長の短い高速動作用トランジスタを形成する。高速動作用トランジスタの第1のゲート電極406を、ゲート絶縁膜404を介してp型シリコン基板400上に形成する。第2領域403にゲート長が長い高電圧用のトランジスタを形成する。高電圧用のトランジスタ用の第2のゲート電極407は、ゲート絶縁膜405を介してp型シリコン基板400上に形成する。

【0012】

高速動作用のトランジスタと高電圧用のトランジスタとは、ゲート電極下の領域から外側の半導体基板の表層部に続くn型のSDE領域411と、SDE領域411に続くn型ソース／ドレイン領域410とを有している。

【0013】

第1及び第2のゲート電極406及び407の側壁には、スペーサ膜412が形成され、スペーサ膜412の半導体領域の表層部にSDE領域411が形成されている。

【0014】

尚、第1及び第2のゲート電極406及び407の上面と、ソース／ドレイン領域410の表面とに、例えばC_oS_iなどの金属シリサイド層413を形成しても良い。金属シリサイド層413を形成すると、ゲート電極のシート抵抗と、ソース／ドレイン領域のシート抵抗とが低減する。

【0015】

ところで、高電圧用のトランジスタでは、ホットキャリアによるオン電流の減少を防止するために、n型のSDE領域411とその下のp型半導体領域（或いはp型シリコン基板400）との間のp-n接合部において、n型不純物の濃度勾配が緩やかになるようにSDE領域を形成するのが好ましい。

【0016】

ところが、ゲート長の短い高速用のトランジスタのSDE領域も緩やかな不純物濃度勾配をもつため、短チャネル効果が顕著になる。

【0017】

図15（B）は、SDE領域を高速動作用のトランジスタに適した構造にした場合の断面図である。尚、図15（B）において、図15（A）に示した構成要素と同様の構成要素に関しては、図15（A）に示した符号に100をプラスした符号を付して詳細な説明を省略する。

【0018】

図15（B）に示す構造においては、p型シリコン基板500上の第1領域502と第2領域503とが画定され、それぞれの領域502、503に、高速動

作用トランジスタと高電圧用のトランジスタとで同じ構造を有する n 型の SDE 領域 511 が形成されている。

【0019】

SDE 領域 511 は、高速動作用のトランジスタに適するように、すなわち、高速化（ソース抵抗の低減）と短チャネル効果の抑制のために、n 型不純物濃度を高くし、かつ、n 型の SDE 領域 511 と p 型半導体領域（p 型シリコン基板）との間の p-n 接合における n 型不純物の濃度勾配が急峻になるように形成されている。

【0020】

ところが、高電圧用のトランジスタの場合には、p-n 接合における n 型不純物濃度が急峻に変化するように SDE 領域を形成すると、ホットキャリアによるトランジスタのオン電流（I_{on}）の減少が生じる。すなわち、高電圧で駆動すると、ゲート絶縁膜の下（ドレイン端）の電界が大きくなる。従って、ホットキャリアが大量に発生し、オン電流が減少する。電界の影響を緩和するために、SDE 構造を工夫する必要がある。

【0021】

また、高速動作用のトランジスタを形成する基板と同一基板上に n 型の不純物拡散領域を利用した抵抗素子を形成する場合にも、n 型の抵抗素子とその下の p 型の半導体領域（又は p 型シリコン基板）との間に不純物の濃度勾配が急な p-n 接合が存在すると、基板との間のリーク電流が増加してしまう。

【0022】

本発明の目的は、浅く急峻な不純物プロファイルを有する SDE 領域を備えた高速動作用のトランジスタと、それとは異なる不純物プロファイルを有する不純物拡散領域を必要とする素子とを、同一基板上に効率良く形成する半導体技術を提供することである。

【0023】

【課題を解決するための手段】

本発明の一観点によれば、（a）主面内に第 1 導電型の第 1 の領域及び第 2 の領域が画定された半導体基板を準備する工程と、（b）前記第 1 の領域の一部及

び前記第2の領域の一部の上に、それぞれ第1のゲート電極と第2のゲート電極とを形成する工程と、(c)前記第2のゲート電極をマスクとして、前記第2の領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、第1の不純物拡散領域を形成する工程と、(d)前記第1及び第2のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、(e)次いで、前記第1及び第2のゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部と前記第2の領域の表層部とに、前記第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程と、(f)次いで、前記第1のスペーサ膜を除去する工程と、(g)前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のp-n接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のp-n接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程とを有する半導体装置の製造方法が提供される。

【0024】

p-n接合部における不純物濃度分布の勾配が急峻になる第3の不純物拡散領域を形成した後には、活性化のための熱処理が行われないので、不純物の過度の拡散を防止できる。従って、高速動作用のトランジスタにおける短チャネル効果や不純物の不活性化を抑制することができる。さらに、高電圧用のトランジスタのSDE領域を緩やかな不純物濃度勾配を有するp-n接合とすることができます。ホットキャリアの発生に起因するオン電流の減少を防止できる。

【0025】

本発明の他の一観点によれば、(a)主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板を準備する工程と、(b)少なくとも前記第1の領域の一部の上に、第1のゲート電極を形成する工程と、(c)前記第2の領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、第1の不純物拡散領域を形成する工程と、

(d) 前記第1のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、
 (e) 前記第1のゲート電極と前記第1のスペーサ膜とをマスクとして、前記
 第1の領域の表層部に、前記第2導電型の不純物を注入し、その後第2の活性化
 処理を行うことにより、第2の不純物拡散領域を形成する工程と、(f) 前記第
 1のスペーサ膜を除去する工程と、(g) 前記第1のゲート電極をマスクとして
 、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3
 の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって
 、該第3の不純物拡散領域のp-n接合部における不純物濃度分布の勾配が、前記
 第1の活性化処理で形成された前記第1の不純物拡散領域のp-n接合部における
 不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程
 と

を有する半導体装置の製造方法が提供される。

【0026】

上記の半導体装置の製造方法を用いると、3種類の異なる不純物濃度プロファイルを有する不純物拡散領域を同一基板上に形成することができる。

【0027】

特に、半導体基板又はその上に形成された第1導電型の半導体層との間に急峻なp-n接合をもつ不純物拡散領域を最終の活性化処理工程において形成するため、p-n接合の急峻性を維持できる。従って、高速トランジスタにおける短チャネル効果を抑制することができる。さらに、不純物拡散層を用いた抵抗素子の層を急峻なp-n接合を有する上記の不純物拡散領域の場合よりも緩やかなp-n接合で形成することができるため、リーク電流に起因する抵抗素子の特性の低下を防止できる。

【0028】

本発明のさらに他の観点によれば、主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板と、前記第1の領域と前記第2の領域とにそれぞれ形成された第1のゲート電極と第2のゲート電極と、前記第2のゲート電極の両側の表層部に形成され、前記第1導電型とは反対の第2導電型不純物がドープされた第1のSDE領域と、前記第1のゲート電極の両側の表層部に形成され、

p-n接合部における不純物濃度分布の勾配が前記第1のSDE領域のp-n接合部における不純物濃度分布の勾配よりも急峻に形成された第2のSDE領域と、前記第1及び第2のSDE領域のそれぞれの両側に形成され、前記第1の領域と前記第2の領域とでp-n接合部における不純物濃度分布が同じであるソース/ドレイン領域とを含む半導体装置が提供される。

【0029】

上記の半導体装置においては、第2のSDE領域と、その下の第1導電型の不純物拡散領域又は半導体基板との間のp-n接合部における不純物濃度分布の勾配が急峻に形成されているため、高速動作用トランジスタにおける短チャネル効果が抑制される。さらに、高電圧用トランジスタの第1のSDE領域は、高速動作用トランジスタの第2のSDE領域のp-n接合よりも緩やかな不純物濃度勾配を有するp-n接合をもつため、ホットキャリアの発生に起因するオン電流の減少を防止できる。ソース/ドレイン領域が同時に形成され、その後に同じ熱履歴を受けるため、前記第1の領域と前記第2の領域とでp-n接合部における不純物濃度分布が同じである。

【0030】

【発明の実施の形態】

以下、本発明の第1の実施の形態による半導体装置及びその製造方法について図1(A)から図3(H)までを参照して、説明する。

【0031】

図1(A)に示すように、例えば、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ のp型シリコン基板100に、シャロートレンチアイソレーション(Shallow Trench Isolation: STI)法により素子分離領域100aを形成する。図1(A)においては、素子分離領域100aによってシリコン基板100の表層部に、第1の素子領域102と第2の素子領域103との2種類の素子領域が画定される。

【0032】

第1の素子領域102の表層部101aのp型不純物濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 程度に、第2の素子領域103の表層部101bにおけるp型不純物濃度を、4

$\times 10^{16} \text{ cm}^{-3}$ 程度に調整する。第1の素子領域102の表層部101aと第2の素子領域103の表層部101bとのP型不純物濃度を変えることにより、第1の素子領域102と第2の素子領域103とにそれぞれ形成されるトランジスタのしきい値電圧を調整することができる。

【0033】

第1の素子領域102と第2の素子領域103とを含むシリコン基板100の表面を酸化する。表面に形成された酸化シリコン膜の厚さは、例えば9nmである。その後、第2の素子領域103上にマスクを形成し、第1の素子領域102上に形成されている酸化シリコン層をエッチングにより9nm分除去する。その後、再び例えば2nm酸化する。

【0034】

第1の素子領域102上には、厚さ約2nmの酸化シリコン膜104が、第2の素子領域103上には、厚さ9.2nmの酸化シリコン膜105が形成される。これらの酸化シリコン膜104、105は、ゲート絶縁膜として機能する。

【0035】

次いで、基板上に厚さ180nmの多結晶シリコン膜を形成する。多結晶シリコン膜をパターニングして、第1の素子領域102上に、例えばゲート長50nmの短いゲート長を有する第1のゲート電極106を残す。第2の素子領域103上に、例えばゲート長350nmの比較的長いゲート長を有する第2のゲート電極107を残す。第1のゲート電極106のうち最短のゲート長を有するゲート電極は、第2のゲート電極107のうち最短のゲート長を有するゲート電極よりも短い。

【0036】

図1(B)に示すように、第1の素子領域102上を覆うフォトレジストR11をマスクとして第2の素子領域103上に、例えばイオン種としてP(磷)を用いたイオン注入を行う。イオン注入の条件としては、例えば、加速エネルギー20keV、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ とする。第2のゲート電極107がイオン注入のマスクとなり、第2のゲート電極107の外側の半導体領域に、Pイオンが入り込む。フォトレジストマスクR11を除去した後、例えばRTA法によ

り、1000°Cで10秒間の熱処理を行う。基板内に注入されたPイオンが活性化される。

【0037】

第2のゲート電極107の外側の半導体領域に、第1のn型不純物の濃度プロファイルを有する第1の不純物拡散領域108が形成される。この第1の不純物拡散領域108が高電圧用のトランジスタのSDE領域となる。

【0038】

CVD法により窒化シリコン膜(SiNx)を、例えば150nmの厚さで堆積する。反応性イオンエッティング法(RIE法)により、窒化シリコン膜を半導体基板100表面の全域において異方性エッティングを行う。図1(C)に示すように、第1のゲート電極106と第2のゲート電極107との側壁に第1のスペーサ膜109を形成する。

【0039】

図2(D)に示すように、第1及び第2の素子領域102及び103内に、例えばPをイオン種として用いたイオン注入を行う。イオン注入条件は、加速エネルギー30keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ である。第1及び第2のゲート電極106及び107と第1のスペーサ膜(側壁絶縁膜)109とがイオン注入のマスクとなり、第1のスペーサ膜109の外側の半導体基板100内の表層部に、Pイオンが注入される。例えばRTA法により、1025°Cで3秒間の熱処理を行う。Pイオンが活性化される。

【0040】

第1のスペーサ膜109の外側の半導体基板100の表層部に、ソース/ドレイン領域110が形成される。ソース/ドレイン領域110は、SDE領域108よりもn型不純物の濃度が高く、かつ、深い。第2の素子領域103においては、ソース/ドレイン領域110の各々とゲート電極107下のチャネル領域との間がSDE領域108により繋がる。第1の素子領域102においては、ソース/ドレイン領域110が第1のゲート電極106下のチャネル領域とが、ほぼ第1のスペーサ膜109の厚さ分に相当する距離だけ隔てられる。

【0041】

例えば磷酸を用いたウェットエッティング法により、第1のスペーサ膜109をゲート電極106に対して選択的に除去する。スペーサ膜109の除去には、ダメージの少ないケミカルドライエッティング（Chemical Dry Etching : CDE）法を用いても良い。図2（E）に示すように、ゲート電極106及び107の側壁からスペーサ膜が除去される。

【0042】

図2（F）に示すように、第2の素子領域103上を覆うフォトトレジストマスクR12を形成する。フォトトレジストマスクR12と第1のゲート電極106とをマスクとして、第1の素子領域102の表層部に、例えば砒素（As）をイオン種としてイオン注入を行う。イオン注入の条件は、加速エネルギー5keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ である。

【0043】

フォトトレジストマスクR12を除去した後、例えばLTP法により、Asイオンの活性化処理を行う。LTPは、例えば波長308nmのXeClパルスレーザを用いて行う。レーザのパルスあたりのエネルギー密度は、例えば200mJ/cm²から400mJ/cm²の範囲内である。

【0044】

第1のゲート電極106とソース及びドレイン領域110の各々との間の基板表層部に第3の不純物拡散領域（SDE領域）111が形成される。SDE領域111は、SDE領域108よりも、n型不純物拡散領域の厚さが薄いとともに、n型不純物濃度が高い。SDE領域111とその下のp型不純物拡散領域101aとの界面近傍におけるn型不純物濃度の勾配は、SDE領域108とp型半導体領域101bとの界面近傍におけるn型不純物濃度の勾配よりも急峻になる。

【0045】

例えばCVD法により、厚さ150nm程度の酸化シリコン（SiO₂）膜を堆積する。反応性イオンエッティング法（RIE法）により、半導体基板100全面にわたって酸化シリコン膜を異方性エッティングする。図3（G）に示すように、第1のゲート電極106と第2のゲート電極107との側壁に第2のスペーサ

膜112が残る。

【0046】

尚、図3 (H) に示すように、通常のシリサイドプロセスを用いて、ソース／ドレイン領域110の表層部とゲート電極106, 107の上面に金属シリサイド層113を形成しても良い。

【0047】

以上に説明した第1の実施の形態による半導体装置の製造方法を用いると、独立に2つのMOSトランジスタを形成する場合に比べて工程数が減少する。第1の素子領域102にゲート長の短い高速動作用トランジスタを形成するとともに、同じ半導体基板100上の第2の素子領域103に比較的ゲート長の長い高電圧用のトランジスタを形成することができる。2種類のMOSFETを別々に形成すると、4回のイオン注入と4回の活性化処理が必要になる。これに比べて、上記の実施例による工程においては、3回のイオン注入と3回の活性化処理を行えば済む。従って、工程数を増加させなくてすむ。

【0048】

高速動作用トランジスタと高電圧用のトランジスタとのソース／ドレイン領域110は、n型不純物の濃度を高くし、かつ、深くまで不純物を注入することにより、シート抵抗を低くするとともに、ソース／ドレイン領域とそれに接続する配線とのコンタクト抵抗も低くすることができる。

【0049】

高電圧用のトランジスタのソース／ドレイン領域と第2のゲート電極107直下のチャネル領域との間の領域を繋ぐ第1のSDE領域108は、p型の導電性を有する表層部101bとの間のpn接合において、n型不純物濃度の濃度勾配が緩やかに形成される。従って、ホットキャリアによるオン電流の減少を抑制することができる。

【0050】

高速動作用トランジスタのソース／ドレイン領域110と第1のゲート電極106直下のチャネル領域との間の領域を繋ぐ第2のSDE領域111は、不純物を活性化することを目的とする熱処理工程としては最終工程となる。第2のSD

E領域111を形成した後は、活性化のための熱処理が行われないため、n型の不純物が過度に拡散したり不活性化したりすることを防止できる。

【0051】

加えて、第2のSDE領域111は、n型の不純物の濃度が第1のSDE領域108に比べて高い。加えて、第2のSDE領域111とその下のp型の導電性を有する表層部101aとの間に形成されるpn接合のn型不純物の濃度勾配は、第1のSDE領域108に比べて急峻な状態が維持される。従って、高速動作用のトランジスタにおいて、寄生抵抗を低減するとともに、ショートチャネル効果を抑制することができる。

【0052】

尚、ソース／ドレイン領域は、第1領域と第2領域とで同じ熱履歴を受けるため、第1領域と第2領域とで深さ方向のn型不純物濃度プロファイル或いはpn接合部のn型不純物濃度のプロファイルが同じ領域が存在することになる。特に、ソース／ドレイン領域が形成される前に形成されたSDE領域の厚さを越えた深い領域に、n型不純物濃度プロファイルが同じ領域が形成される。

【0053】

LTP法により第2のSDE領域111を形成する際に、シリコン基板100の表面の全面上にアブソーバ層、例えば金属層を形成しておいても良い。アブソーバ層は、レーザ照射工程におけるレーザ光の吸収を促進する。アブソーバ層を、多層膜により形成しても良い。

【0054】

短チャネル効果をさらに抑制するために、SDE領域の下に、ソース／ドレイン領域の不純物の導電型とは逆の導電型を有する不純物イオンをポケット注入してポケット注入領域を形成しておいても良い。

【0055】

図3(H)に、ポケット注入領域を形成した構造を示す。この場合には、図3(H)に破線で示されるように、第2のSDE領域111及び第1のSDE領域108の下にポケット注入領域121a、121b(p型不純物拡散領域を含む)が形成される。ポケット注入領域121a、121bは、主として短チャネル

効果の抑制を目的とするので、高速動作用のトランジスタにのみ設けても良い。

【0056】

第2のSDE領域111を形成する前に、例えばGeイオンを、加速エネルギー -15 keV 、ドーズ量 $4 \times 10^{14}\text{ cm}^{-2}$ の条件でイオン注入しても良い。このイオン注入工程により、シリコン基板100の表面領域をアモルファス化する（プレアモルファス化工程）ことができる。その後に第2のSDE領域用のイオン注入とLTP法による活性化の熱処理を行うと、アモルファス層を選択的に活性化することができ、より浅くかつ急峻な接合を形成することができる。

【0057】

また、第2のSDE領域111を形成する際に行う活性化のための熱処理工程として、LTP法の代わりにRTA法を用いても良い。RTA法を用いる場合の熱処理条件は、例えば、 1000°C で1秒間とすれば良い。

【0058】

尚、上記の実施の形態においては、第1のSDE領域108を形成するための第1のイオン注入工程と、 1000°C で10秒間のRTA法による活性化処理工程と、を行う。その後に、ゲート電極106、107の側壁に第1のスペーサ膜109を形成した後、ソース／ドレイン領域形成用の第2のイオン注入工程と、 1000°C で10秒間のRTA法による活性化処理工程と、を行う。

【0059】

上記の工程を、以下の工程に代えることも可能である。すなわち、第1のSDE領域108を形成するための第1のイオン注入工程を行う。活性化処理を行う前に、ゲート電極106、107の側壁に第1のスペーサ膜109を形成した後、ソース／ドレイン領域形成用の第2のイオン注入工程を行う。次いで、第1のSDE領域108とソース／ドレイン領域形成とに注入されたイオンの活性化処理を行う。活性化処理を1回省略できる。但し、この工程を用いると、第1のSDE領域108とソース／ドレイン領域とで、活性化処理に適した条件が異なる場合には、どちらかの条件に合わせるか、両方の条件に基づいて新たな活性化処理条件を選ぶ必要がある。それぞれの領域に適した活性化処理を行う場合に比べると、少なくともいずれか一方の領域に関しては、活性化処理の最適条件か

らは外れることになる。以下の実施の形態に関しても同様の工程を採用できるが、同様の問題点が生じる可能性がある。

【0060】

次に、本発明の第1の実施の形態の変形例による半導体装置及びその製造方法について図4（A）から図5（F）までを参照して説明する。

【0061】

上記の第1の実施の形態による半導体技術では、最初に高電圧用のトランジスタの第1のSDE領域108を形成した後、ソース／ドレイン領域110を形成し、次いで第2のSDE領域111を形成した。本変形例による半導体技術においては、まずソース／ドレイン領域110を形成し、次いで、第1のSDE領域108を形成し、最後に第2のSDE領域111を形成する。プロセス条件等は、第1の実施の形態の場合とほぼ同様で良い。符号についても、第1の実施の形態と同一の構成要素には同一符号を付して、その詳細な説明は省略する。

【0062】

図4（A）に示すように、シリコン基板100上に画定されている第1の素子領域102上に第1のゲート電極106を、第2の素子領域103上に第2のゲート電極107を形成する。図4（B）に示すように、第1のゲート電極106と第2のゲート電極107の側壁上にスペーサ膜109を形成する。図4（C）に示すように、第1のゲート電極106及びスペーサ膜109と第2のゲート電極107及びスペーサ膜109をマスクとして、イオン注入と活性化処理を行い、ゲート電極の両側にソース／ドレイン領域110を形成する。

【0063】

図5（D）に示すように、スペーサ膜109を除去する。図5（E）に示すように、第1の素子領域102上をレジストマスクR11で覆い、第2の素子領域103上にイオン注入と活性化処理とを行うことにより、第2のゲート電極107とソース／ドレイン領域110との間を繋ぐ第1のSDE領域108を形成する。図5（F）に示すように、第2の素子領域103上をレジストマスクR12で覆い、第1の素子領域102上にイオン注入と活性化処理とを行うことにより、第1のゲート電極106とソース／ドレイン領域110との間を繋ぐ第1のS

D E 領域 1 1 1 を形成する。

【0064】

以後、第1の実施の形態において図3 (G) 及び図3 (H) を参照して説明した工程と同様の工程を経て半導体装置が完成する。

【0065】

本変形例による半導体技術を用いた場合にも、高電圧用のトランジスタのソース/ドレイン領域と第2のゲート電極 1 0 7 直下のチャネル領域との間の領域を繋ぐ第1のS D E 領域 1 0 8 は、p型の導電性を有する表層部 1 0 1 b との間のp n接合において、n型不純物濃度の濃度勾配が緩やかに形成される。従って、ホットキャリアによるオン電流の減少を抑制することができる。

【0066】

高速動作用トランジスタのソース/ドレイン領域 1 1 0 と第1のゲート電極 1 0 6 直下のチャネル領域との間の領域を繋ぐ第2のS D E 領域 1 1 1 は、不純物を活性化することを目的とする熱処理工程としては最終工程となる。第2のS D E 領域 1 1 1 を形成した後は、活性化のための熱処理が行われないため、n型の不純物が過度に拡散したり不活性化したりすることを防止できる。

【0067】

但し、本変形例による方法を用いると、ソース/ドレイン領域 1 1 0 がその後に2度の熱履歴を受けるため、不純物の横方向への拡散が起こりやすくなる。

【0068】

次に、本発明の第2の実施の形態による半導体装置及びその製造方法について図6 (A) から図9 (M) を参照して説明する。

【0069】

第2の実施の形態による半導体技術は、高速用トランジスタを製造する工程のうちの中間工程において、ダミーゲート電極を用いる点に特徴がある。

【0070】

図6 (A) に示すように、シリコン基板 2 0 0 を、素子分離領域 2 0 0 a によって、主として高速動作用のトランジスタが形成される第1の素子領域 2 0 2 と、主として高電圧用のトランジスタが形成される第2の素子領域 2 0 3 とを画定

する。第1素子領域202と第2素子領域203の表層部に、それぞれ、p型の導電性を有する半導体層201a、201bを形成する。第1の素子領域202上にダミーゲート電極206を、第2の素子領域上にゲート電極207を形成する。尚、ダミーゲート電極206とゲート電極207とは実際には同じ層構成を有している。ダミーゲート電極206は、後の工程において除去されて真のゲート電極と置換されるため、ここではダミーゲート電極と称している。

【0071】

ダミーゲート電極206は、ゲート絶縁膜204上に形成され、厚さ150nmの多結晶シリコン層206bと、その上にCVD法により形成された厚さ50nmのシリサイド化防止用の酸化シリコン膜206aとを含む。ゲート電極207は、ゲート絶縁膜205上に形成され、厚さ150nmの多結晶シリコン層207bとその上にCVD法により形成された厚さ50nmのシリサイド化防止用の酸化シリコン膜207aとを含む。

【0072】

図6（B）から図9（H）までに示す工程は、図1（B）から図3（H）までに示す工程とほぼ同様の工程であり、詳細な説明は省略する。

【0073】

図6（B）に示す工程では、第1の不純物拡散領域（SDE領域）208を形成する。図6（C）に示す工程では、ゲート電極の側壁にスペーサ膜209を形成する。図7（D）に示す工程では、ソース／ドレイン領域210を形成する。図7（E）に示す工程では、スペーサ膜を除去する。図7（F）に示す工程では、第2の素子領域上にレジストマスクを形成した後にイオン注入を行い、レジストマスクを除去した後に活性化の処理を行い、第2の不純物拡散領域（SDE領域）211を形成する。図8（G）に示す工程では、ゲート電極の側壁にスペーサ膜212を形成する。

【0074】

その後、図8（H）に示すように、第1の素子領域202上に、ダミーゲート電極206を有する高速動作用のトランジスタが形成されるとともに、第2の素子領域203上に、ゲート電極207を有する高電圧用のトランジスタが形成さ

れる。この際、シリサイド化防止膜206a及び207aが、多結晶シリコンゲート206b及び207bのシリサイド化を防止する。

【0075】

図8(I)に示すように、高密度プラズマCVD法を用いて、厚さ750nmの酸化シリコン膜214を基板全面に形成する。図8(J)に示すように、窒化シリコンにより形成されたスペーサ膜212の上面をエッティングストッパとして、化学的機械的研磨(Chemical Mechanical Polishing: CMP)法により、ダミーゲート電極206の上面(206a)を露出させる。ゲート電極207の上面(207a)も露出する。

【0076】

図9(K)に示すように、第2の素子領域203上をフォトレジストマスクR1により覆う。第1のダミーゲート電極206(図8(J))を構成する酸化シリコン膜206a(図8(J))をフッ酸系のエッティング液を用いたウェット処理により除去し、次いで、多結晶シリコン層206b(図8(J))を、CDE法により除去する。さらに、フッ酸系のエッティング液を用いたウェット処理によりゲート酸化膜204(図8(J))上を除去する。ダミーゲート電極が形成されていたスペーサ膜212内に開口部215が形成される。

【0077】

図9(L)に示すように、シリコン基板200全面上に、例えばHfO₂により形成された厚さ15nmの高誘電率絶縁膜216と、例えばTiNにより形成された厚さ30nmのバリアメタル層217とを形成する。高誘電率絶縁膜216とバリアメタル層217とにより開口部215内が被覆される。

【0078】

基板上に、例えばW膜などの埋め込み金属膜218を堆積させ、次いでCMP法により平坦化処理を行う。尚、埋め込み金属218をバリアメタル217と同じ材料にしても良い。図9(M)に示すように、金属層216, 217及び218により開口部215内が充填され、真のゲート電極が形成される。

【0079】

上記の工程によれば、ゲート長の短い高速動作用のトランジスタのゲート絶縁

膜として高誘電率絶縁膜（ HfO_2 など）を用いることができる。従って、ゲート長を短くしたことに対応させてゲート絶縁膜を薄くしても、トンネル電流などに起因するゲートのリーク電流を抑制できる。

【0080】

一方、高電圧用のトランジスタには、ゲート電極を置換する工程を適用せず、最初に形成した多結晶シリコン電極をそのまま残している。従って、高電圧用のトランジスタをより安定的に製造することができる。

【0081】

尚、図9（K）に示す状態において、第2の素子領域203にレジストマスクR1を形成せずに、高電圧用のトランジスタのゲート電極も高速動作用のトランジスタのゲート電極と同様に金属電極で置換する工程を適用しても良い。

【0082】

また、上記の実施の形態において、シリサイド化防止膜206a、207aを、窒化シリコン膜（ $SiNx$ ）により形成し、第2のスペーサ膜212を酸化シリコン膜で形成しても良い。この場合には、ダミーゲート電極の除去は、磷酸処理とCDE処理を併用すれば良い。

【0083】

次に、図10（A）から図11（F）までを参照して、本発明の第2の実施の形態の変形例による半導体技術について説明する。プロセス条件等は、第2の実施の形態の場合とほぼ同様である。符号についても、本発明の第2の実施の形態と同一の構成要素には同一符号を付して、その詳細な説明は省略する。

【0084】

図10（A）に示すように、シリコン基板200上に画定されている第1の素子領域202上に第1のダミーゲート206を、第2の素子領域203上に第2のダミーゲート207を形成する。図10（B）に示すように、第1のダミーゲート206と第2のダミーゲート207の側壁上にスペーサ膜209を形成する。

【0085】

図10（C）に示すように、第1のダミーゲート206及びスペーサ膜209

と第2のダミーゲート207及びスペーサ膜209とをマスクとして、イオン注入と活性化処理を行い、ソース／ドレイン領域210を形成する。

【0086】

図11(D)に示すように、スペーサ膜209を除去する。図11(E)に示すように、第1の素子領域202上をレジストマスクR21で覆い、第2の素子領域203上にイオン注入と活性化処理を行うことにより、第1のSDE領域208を形成する。図11(F)に示すように、第2の素子領域203上をレジストマスクで覆い、第1の素子領域202上にイオン注入と活性化処理を行うことにより、第2のSDE領域211を形成する。

【0087】

以後、第2の実施の形態において図8(G)から図9(M)までを参照して説明した工程と同様の工程を経て第2の実施の形態による半導体装置と同様の構造が完成する。

【0088】

上記の工程によれば、ゲート長の短い高速動作用のトランジスタのゲート絶縁膜として高誘電率絶縁膜(HfO₂など)を用いることができる。従って、ゲート長を短くしたことに対応させてゲート絶縁膜を薄くしても、トンネル電流などに起因するゲートのリーク電流を抑制できる。

【0089】

一方、高電圧用のトランジスタには、ゲート電極を置換する工程を適用せず、最初に形成した多結晶シリコン電極をそのまま残している。従って、高電圧用のトランジスタをより安定的に製造することができる。

【0090】

次に、本発明の第3の実施の形態による半導体装置及びその製造方法について、図12(A)から図14(H)までを参照して説明する。

【0091】

第3の実施の形態による半導体装置及びその製造方法においても、素子分離領域300aが、シリコン基板300を第1の素子領域302と第2の素子領域303とを画定する。基板300の表層部に例えば異なる不純物濃度を有し、p型

の導電性を有する領域201aと201bとを形成する。

【0092】

本実施の形態による半導体製造技術においては、第1の素子領域302は、主として高速動作用のトランジスタを形成するための領域である。第2の素子領域303は、主として不純物拡散領域を抵抗層として利用した抵抗素子を形成するための領域である。

【0093】

図12(A)に示すように、第1の素子領域302に、ゲート絶縁膜304と第1のゲート電極306とを形成する。

【0094】

図12(B)に示すように、第1の素子領域302上を覆い、第2の素子領域303に開口307を形成するフォトレジストマスクR21を形成する。フォトレジストマスクR21をマスクとして、開口307内で露出する半導体基板300の表層部301bに不純物拡散層308を形成する。不純物拡散層308はイオン注入法を用いて形成する。例えば、Pイオンを加速エネルギー20keV、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入する。フォトレジストマスクR21を除去する。次いで、RTA法を用いて、1000°C、10秒の条件での活性化処理を行う。抵抗素子用の抵抗層が形成される。

【0095】

レジストマスクR21を除去した後、シリコン基板300全面に酸化シリコン膜を形成する。フォトリソグラフィー技術により、第2の素子領域303上をフォトレジストマスクで覆う。その後、異方性エッチング法により酸化シリコン層をエッチングする。

【0096】

図12(C)に示すように、第2の素子領域303上に酸化シリコンにより形成された酸化シリコン層309bが残る。この際、第1の素子領域302上に形成されるゲート電極306の側壁にも酸化シリコンにより形成されたスペーサ膜309aが残る。

【0097】

図13 (D) に示すように、マスク層309bと、ゲート電極306及びスペーサ膜309aと、をマスクとして、ソース／ドレイン領域形成のためのイオン注入を行う。マスク層309bが、第2の素子領域中へのイオンの注入を阻止する。ソース／ドレイン領域形成のためのイオン注入条件は、イオン種をPとし、加速エネルギー30keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ とした。次いで、活性化のための処理を行う。活性化処理の条件は、例えばRTA法を用い、1025°C、3秒間の熱処理を行う。

【0098】

次いで、スペーサ膜309aとマスク層309bとを除去する。

【0099】

図13 (E) に示すように、第2の素子領域303上にフォトレジストマスクR31を形成する。この状態で、SDE領域形成用のイオン注入を行う。例えばAsイオンを、加速エネルギー5keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ で注入する。レジストマスクR31を除去する。

【0100】

次いで、Asイオンを活性化するための活性化処理を行う。活性化処理は、LTP法等を用い、第1の実施の形態における第3の不純物拡散領域(SDE領域)111の活性化処理と同じ条件で行えばよい。

【0101】

図13 (F) に示すように、ゲート電極306の両側に、ソース／ドレイン領域310に繋がるSDE領域311が形成される。

【0102】

シリコン基板300全面にCVD法により窒化シリコン膜を形成する。第2の素子領域303をフォトレジストにより覆った後、全面を異方性エッチングする。

【0103】

図14 (G) に示すように、第1の素子領域302においては、トランジスタのゲート電極306の側壁にスペーサ層312aが形成される。フォトレジストを除去する。第2の素子領域303上にシリサイド化防止膜312bが形成され

る。第2の素子領域303に形成された抵抗層308の表面はシリサイド化防止膜312bにより保護される。

【0104】

シリコン基板300上に例えばC○金属層を形成する。シリサイド化のための熱処理を行うと、ソース／ドレイン領域310上及びゲート電極306上にC○Si₂層が形成される。例えば、スペーサ膜312a上に形成されている未反応のC○金属層を除去する。第2の素子領域上に形成されている未反応のC○金属層も除去される。

【0105】

図14(H)に示すように、第1の素子領域302に高速動作用のトランジスタが形成される。第2の素子領域303に抵抗素子308aが形成される。抵抗素子308a上にはシリサイド化防止膜312bが存在するため、シリサイド化されない。また、抵抗素子308aには、SDE領域形成用のイオンも注入されない。

【0106】

尚、上記の実施の形態においては、最初に抵抗素子用の不純物拡散領域を形成した後に、ソース／ドレイン領域を形成し、次いでSDE領域を形成したが、まず、ソース／ドレイン領域を形成し、次いで、抵抗素子を形成し、最後にSDE領域を形成しても良い。

【0107】

上記のように、第1から第3までの実施の形態においては、n型MOSトランジスタ又はn型抵抗素子を製造する場合を例にして説明したが、p型のMOSトランジスタやp型の抵抗素子を同様の方法で形成することもできるのは言うまでもない。同一基板上にn型とp型との両方の素子を形成することも可能である。

【0108】

さらに、本実施の形態による半導体技術を、p型MOSFETとn型MOSFETとを有するCMOS型の集積回路に適用することもできる。

【0109】

以上、実施の形態に沿って本発明を説明したが、本発明はこれらに制限される

ものではない。その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0110】

尚、本願明細書に記載されている発明に関して、特許請求の範囲に記載した発明と併せて、以下に付記する発明についても抽出可能である。

(付記1) (a) 主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板を準備する工程と、(b) 前記第1の領域の一部及び前記第2の領域の一部の上に、それぞれ第1のゲート電極と第2のゲート電極とを形成する工程と、(c) 前記第2のゲート電極をマスクとして、前記第2の領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、第1の不純物拡散領域を形成する工程と、(d) 前記第1及び第2のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、(e) 次いで、前記第1及び第2のゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部と前記第2の領域の表層部とに、前記第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程と、(f) 次いで、前記第1のスペーサ膜を除去する工程と、(g) 前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のp-n接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のp-n接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程とを有する半導体装置の製造方法。

(1)

(付記2) 前記(c)工程は、前記(f)工程の後に行うことを特徴とする付記1に記載の半導体装置の製造方法。

(付記3) 前記第1から第3までの活性化処理の各々は、750℃以上での熱処理を含む工程である付記1又は2に記載の半導体装置の製造方法。(2)

(付記4) さらに、(h) 前記第1及び第2のゲート電極の側壁上に第2のスペーサ膜を形成する工程と、(i) 前記第2のスペーサ膜をマスクとして前記第1

及び第2のゲート電極上及び前記第2の不純物拡散領域上に金属シリサイド層を形成する工程とを含む付記1から3までのいずれか1に記載の半導体装置の製造方法。

(付記5) 前記第3の活性化処理がレーザ・サーマル・プロセスである付記1から4までのいずれか1に記載の半導体装置の製造方法。 (3)

(付記6) 前記(g)工程は、前記半導体基板上に照射するレーザの吸収効率を良くするための吸収層を形成する工程と、少なくとも前記第1領域に前記第1のゲート電極をマスクとして第2導電型の不純物イオンを注入する工程と、レーザ・サーマル・プロセス法により熱処理を行う工程とを含む付記5に記載の半導体装置の製造方法。

(付記7) 少なくとも前記第1のゲート電極はダミーゲート電極であり、前記(g)工程の後に、さらに、前記半導体基板上に前記ダミーゲート電極を形成する材料とは異なるエッチング特性を有する絶縁膜を形成するとともに、前記絶縁膜の表面を平坦化して前記ダミーゲート電極の上面を露出させる工程と、前記ダミーゲート電極を前記絶縁膜に対して選択的に除去する工程と、前記ダミーゲート電極を除去した場所に導電性材料を埋める工程とを含む付記1から6までのいずれか1に記載の半導体装置の製造方法。 (4)

(付記8) 前記第1のゲート電極のうち最短のゲート長が前記第2のゲート電極のうち最短のゲート長よりも短い付記1から7までのいずれか1に記載の半導体装置の製造方法。 (5)

(付記9) 前記第1の活性化処理と前記第2の活性化処理とが同時に行われる活性化処理である付記1に記載の半導体装置の製造方法。 (6)

(付記10) (a) 主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板を準備する工程と、(b) 少なくとも前記第1の領域の一部の上に、第1のゲート電極を形成する工程と、(c) 前記第2の領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより、第1の不純物拡散領域を形成する工程と、(d) 前記第1のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、(e) 前記第1のゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1の領域の表層部に、

前記第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程と、(f)前記第1のスペーサ膜を除去する工程と、(g)前記第1のゲート電極をマスクとして、前記第1の領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のpn接合部における不純物濃度分布の勾配が、前記第1の活性化処理で形成された前記第1の不純物拡散領域のpn接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程とを有する半導体装置の製造方法。(7)

(付記11) (a)主面内に第1導電型の第1領域及び第2領域が画定された半導体基板を準備する工程と、(b)少なくとも前記第1領域の一部の上に、第1のゲート電極を形成する工程と、(c)前記第1のゲート電極の側壁上に第1のスペーサ膜を形成する工程と、(d)前記第1のゲート電極と前記第1のスペーサ膜とをマスクとして、前記第1領域の表層部に、前記第2導電型の不純物を注入し、その後第1の活性化処理を行うことにより第1の不純物拡散領域を形成する工程と、(e)前記第2領域の表層部に、前記第1導電型とは反対の第2導電型の不純物を注入し、その後第2の活性化処理を行うことにより、第2の不純物拡散領域を形成する工程と、(f)前記第1のスペーサ膜を除去する工程と、(g)前記第1のゲート電極をマスクとして、前記第1領域の表層部に、前記第2導電型の不純物を注入し、その後、第3の活性化処理を行うことにより、第3の不純物拡散領域を形成する工程であって、該第3の不純物拡散領域のpn接合部における不純物濃度分布の勾配が、前記第2の活性化処理で形成された前記第2の不純物拡散領域のpn接合部における不純物濃度分布の勾配よりも急峻になる条件で前記第3の活性化処理を行う工程とを有する半導体装置の製造方法。

(付記12)前記活性化処理は、いずれも750℃以上での熱処理を含む工程である付記10又は11に記載半導体装置の製造方法。

(付記13)前記第3の活性化処理は、レーザ・サーマル・プロセスである付記10又は11に記載の半導体装置の製造方法。

(付記14)前記第1のゲート電極のうち最短のゲート長が、前記第2のゲート

電極のうち最短のゲート長よりも短い付記10から13までのいずれか1に記載の半導体装置の製造方法。

(付記15) 主面内に第1導電型の第1の領域及び第2の領域が画定された半導体基板と、前記第1の領域と前記第2の領域とにそれぞれ形成された第1のゲート電極と第2のゲート電極と、前記第2のゲート電極の両側の表層部に形成され、前記第1導電型とは反対の第2導電型不純物がドープされた第1のSDE領域と、前記第1のゲート電極の両側の表層部に形成され、p n接合部における不純物濃度分布の勾配が前記第1のSDE領域のp n接合部における不純物濃度分布の勾配よりも急峻に形成された第2のSDE領域と、前記第1及び第2のSDE領域のそれぞれの両側に形成され、前記第1の領域と前記第2の領域とでp n接合部における不純物濃度分布が同じであるソース／ドレイン領域とを含む半導体装置。 (8)

(付記16) 前記第1のゲート電極のゲート長が、前記第2のゲート電極のゲート長よりも短い付記15に記載の半導体装置。

(付記17) さらに少なくとも前記第1のSDE領域下に、第1導電性を有するポケット注入領域が形成されている付記15又は16に記載の半導体装置。

【0111】

【発明の効果】

本発明によると、同一基板上に、急峻なp n接合をもつ高速動作用トランジスタと、高速動作用トランジスタのp n接合よりも不純物濃度の勾配が緩やかなp n接合を有する高電圧用のトランジスタとを工程数の増加を抑えつつ製造することができる。高速動作用トランジスタの短チャネル効果を抑制しつつ、高電圧用のトランジスタにおけるホットキャリアに起因するオン電流の減少を抑制することができる。

【0112】

さらに、高速動作用トランジスタを形成した基板と同一基板上に不純物拡散層を用いた抵抗素子を形成した場合に、抵抗素子のリーク電流を抑制することができる。

【0113】

従って、高性能かつ高い信頼性を有する半導体集積回路を実現できる。

【図面の簡単な説明】

【図1】 図1 (A) から (C) までは、本発明の第1の実施の形態による半導体装置の製造方法を示す断面図である。

【図2】 図2 (D) から (F) までは、本発明の第1の実施の形態による半導体装置の製造方法を示す断面図である。

【図3】 図3 (G) 及び (H) は、本発明の第1の実施の形態による半導体装置の製造方法を示す断面図である。

【図4】 図4 (A) から (C) までは、本発明の第1の実施の形態の変形例による半導体装置の製造方法を示す断面図である。

【図5】 図5 (D) から (F) までは、本発明の第1の実施の形態の変形例による半導体装置の製造方法を示す断面図である。

【図6】 図6 (A) から (C) までは、本発明の第2の実施の形態による半導体装置の製造方法を示す断面図である。

【図7】 図7 (D) から (F) までは、本発明の第2の実施の形態による半導体装置の製造方法を示す断面図である。

【図8】 図8 (G) から (J) までは、本発明の第2の実施の形態による半導体装置の製造方法を示す断面図である。

【図9】 図9 (K) から (M) までは、本発明の第2の実施の形態による半導体装置の製造方法を示す断面図である。

【図10】 図10 (A) から (C) までは、本発明の第2の実施の形態の変形例による半導体装置の製造方法を示す断面図である。

【図11】 図11 (D) から (F) までは、本発明の第2の実施の形態による半導体装置の製造方法を示す断面図である。

【図12】 図12 (A) から (C) までは、本発明の第3の実施の形態による半導体装置の製造方法を示す断面図である。

【図13】 図13 (D) から (F) までは、本発明の第3の実施の形態による半導体装置の製造方法を示す断面図である。

【図14】 図14 (G) 及び (H) は、本発明の第3の実施の形態による

半導体装置の製造方法を示す断面図である。

【図15】 図15 (A) 及び (B) は、従来の半導体装置の問題点を説明するための断面図である。

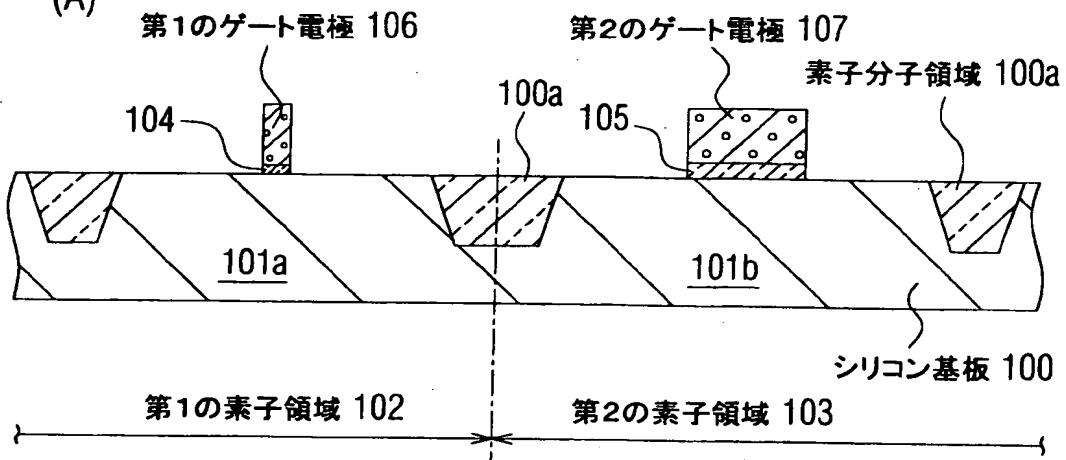
【符号の説明】

- 100 シリコン基板
- 102 第1の素子領域
- 103 第2の素子領域
- 104、105 ゲート絶縁膜
- 106、107 ゲート電極
- 108 第1の不純物拡散領域 (SDE領域)
- 109、112 スペーサ膜
- 110 第2の不純物拡散領域 (ソース／ドレイン領域)
- 111 第3の不純物拡散領域 (SDE領域)
- 113 金属シリサイド層
- 206 ダミーゲート電極
- 207 ゲート電極
- 208 第1の不純物拡散領域 (SDE領域)
- 209、212 スペーサ膜
- 210 第2の不純物拡散領域 (ソース／ドレイン領域)
- 211 第3の不純物拡散領域 (SDE領域)
- 214 シリコン酸化膜
- 216 高誘電率絶縁膜
- 217 バリアメタル
- 218 埋め込み金属層
- 308 不純物拡散領域 (抵抗素子用の抵抗層)
- 310 第1の不純物拡散領域 (ソース／ドレイン領域)
- 311 第2の不純物拡散領域 (SDE領域)

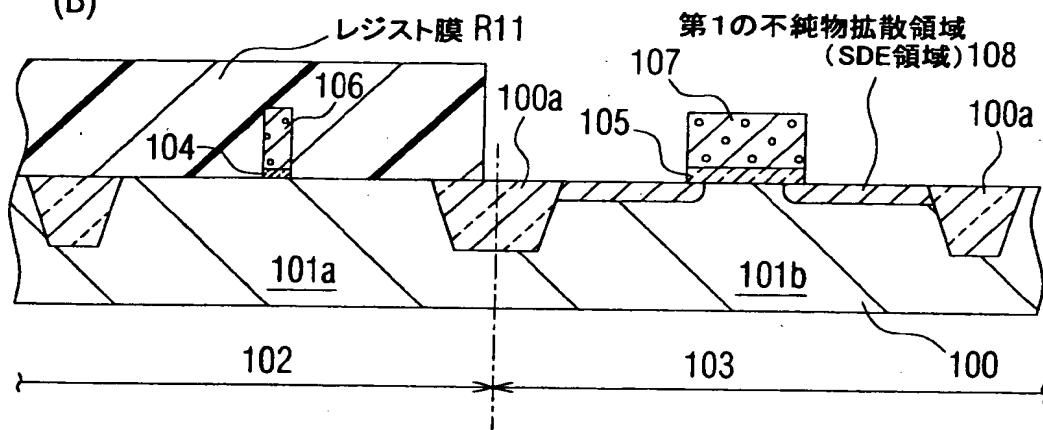
【書類名】 図面

【図1】

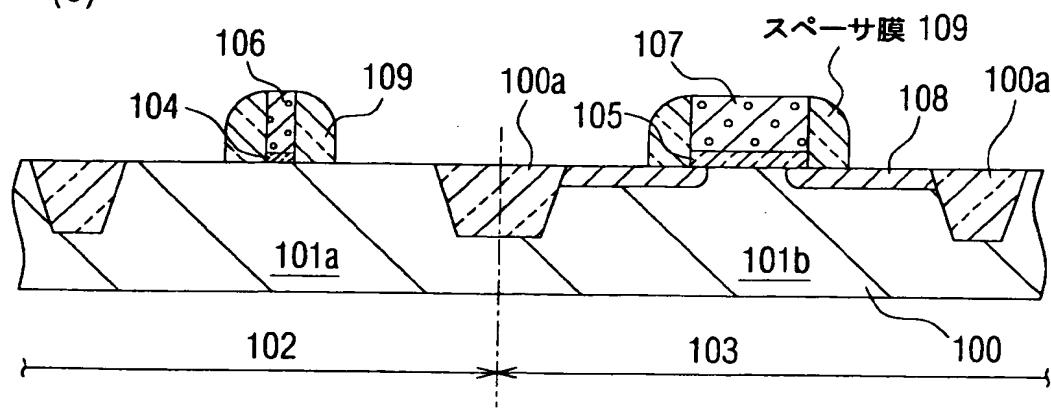
(A)



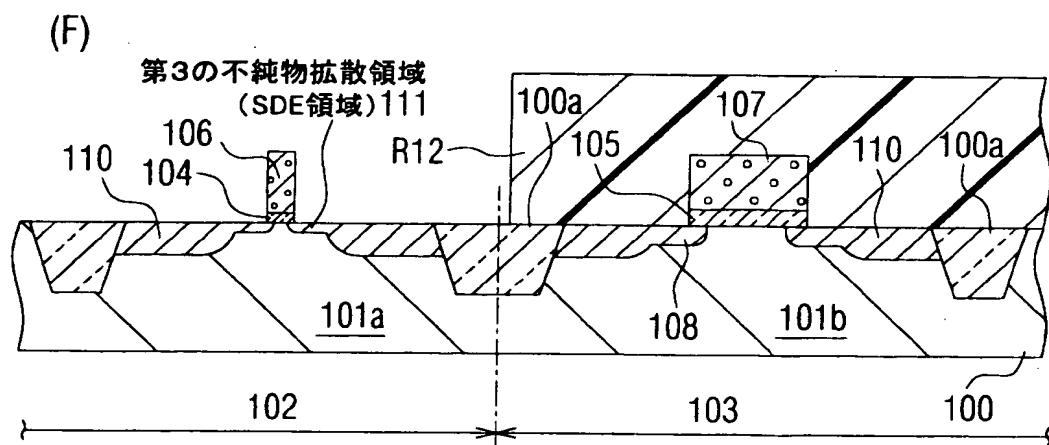
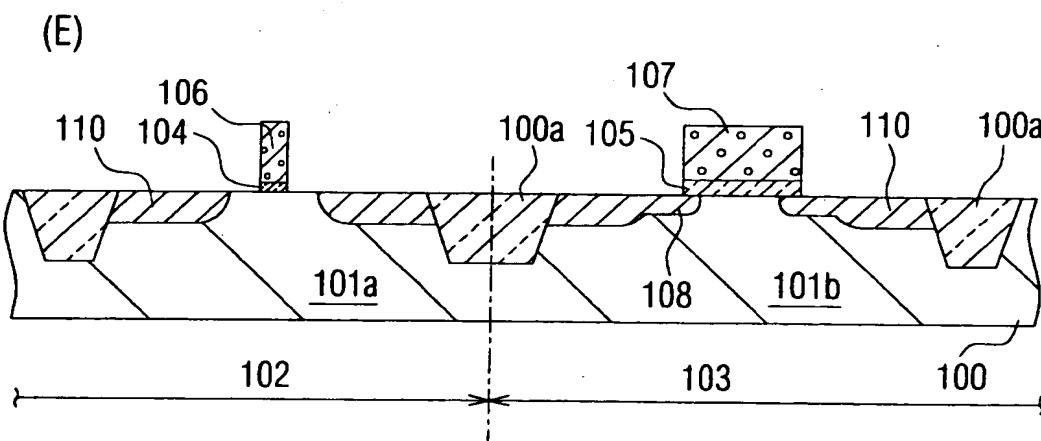
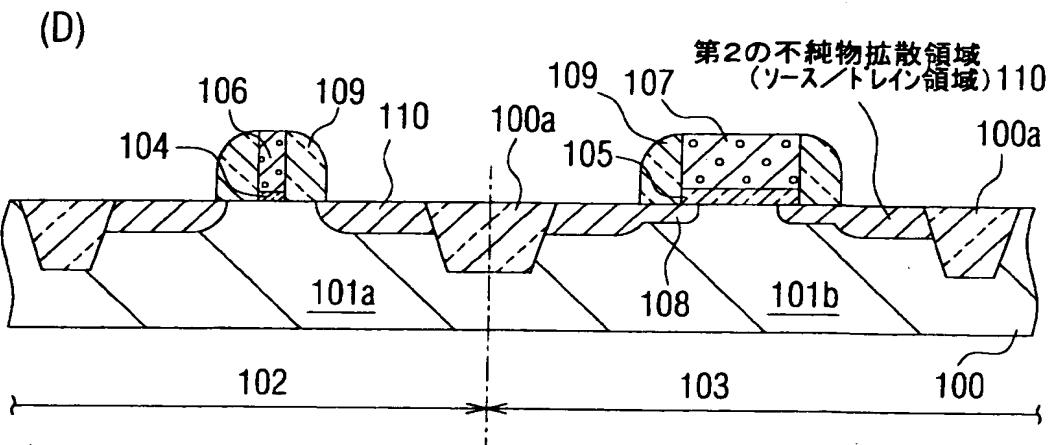
(B)



(C)

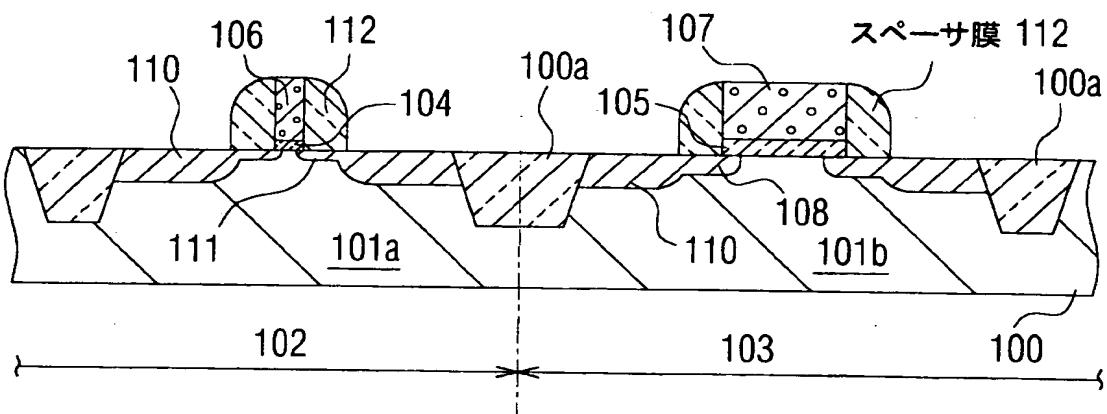


【図2】

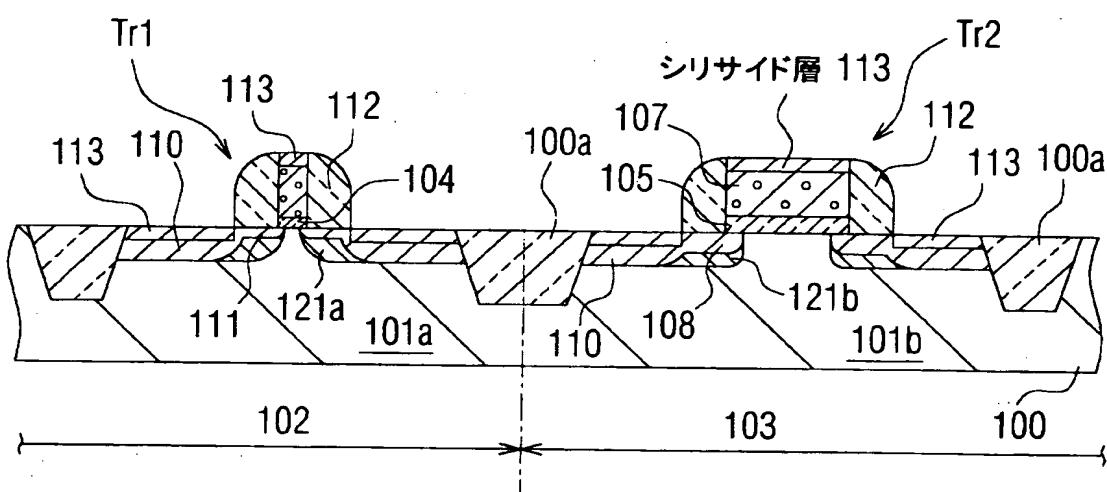


【図3】

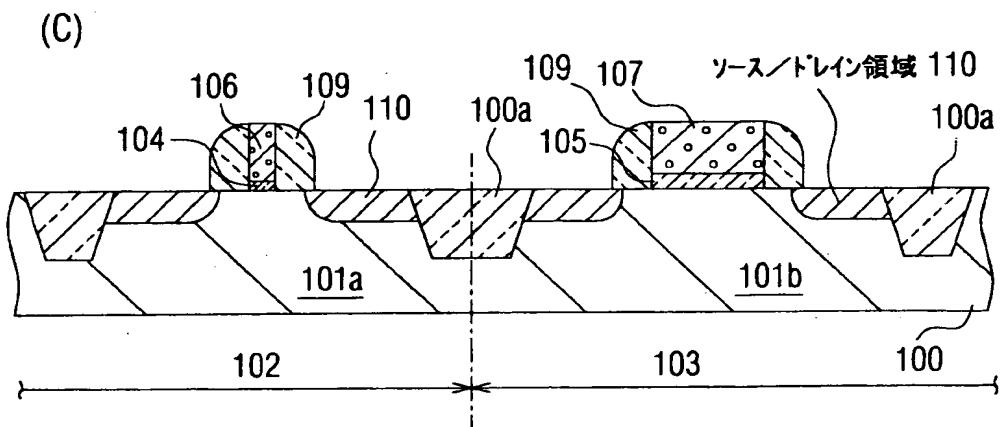
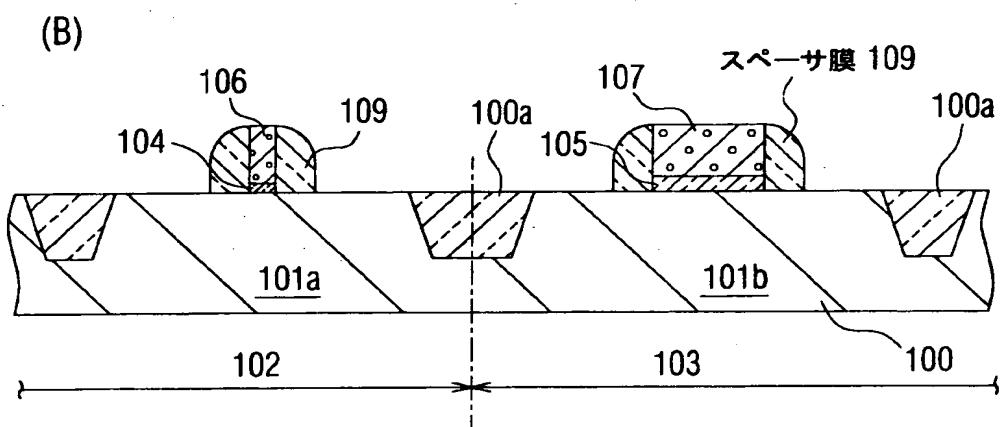
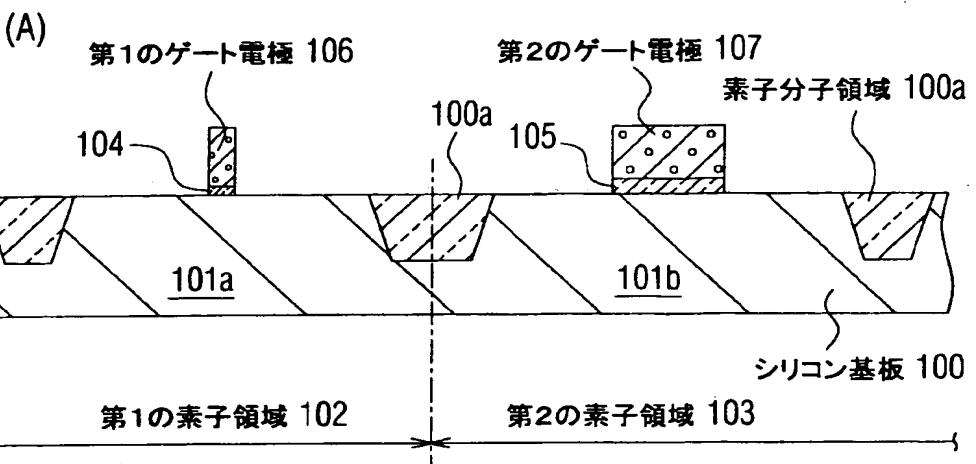
(G)



(H)

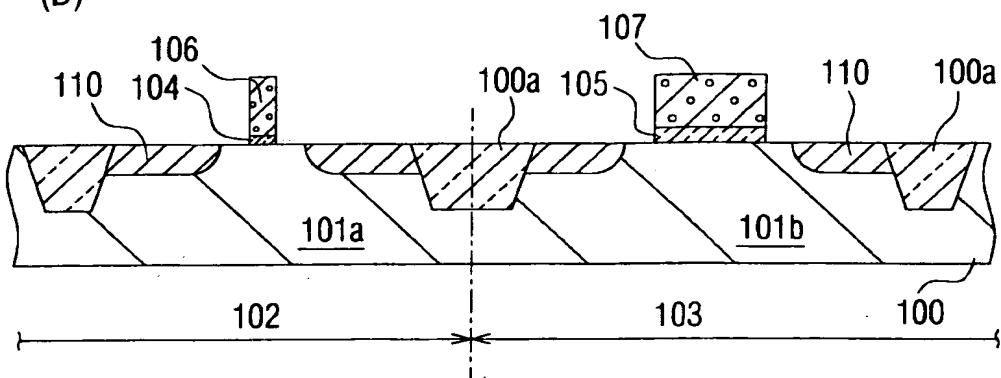


【図4】

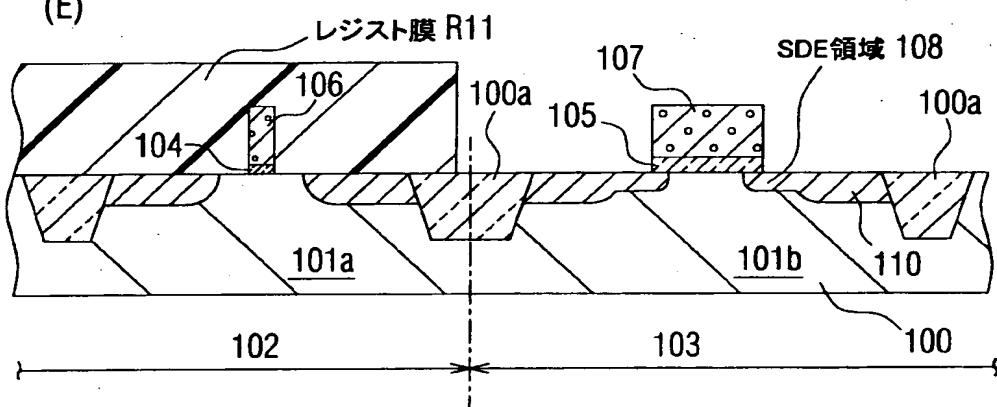


【図5】

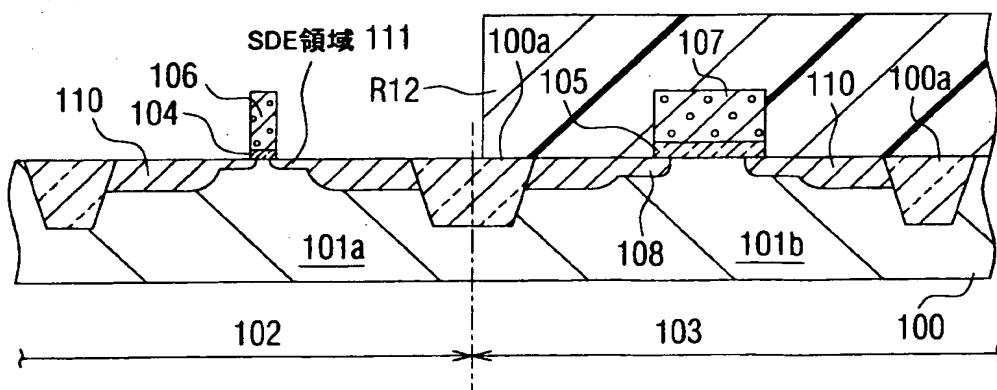
(D)



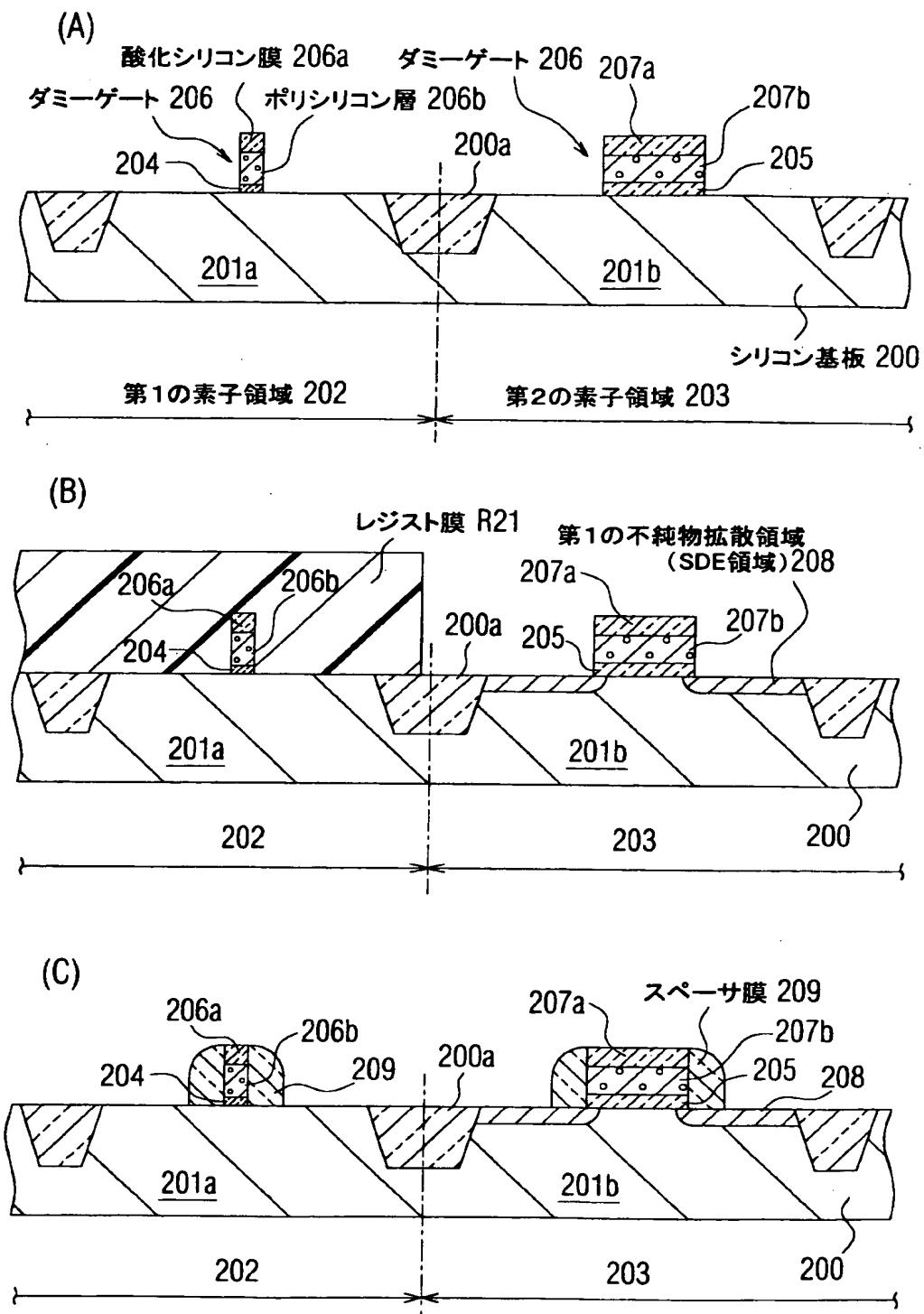
(E)



(F)

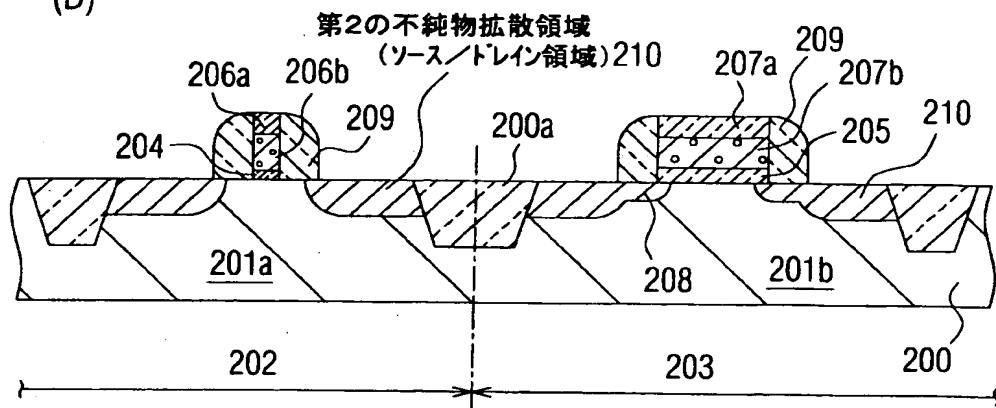


【図6】

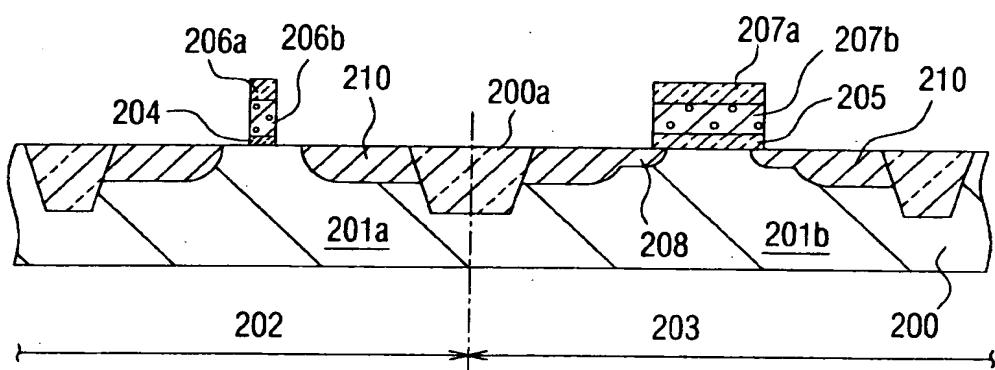


【図7】

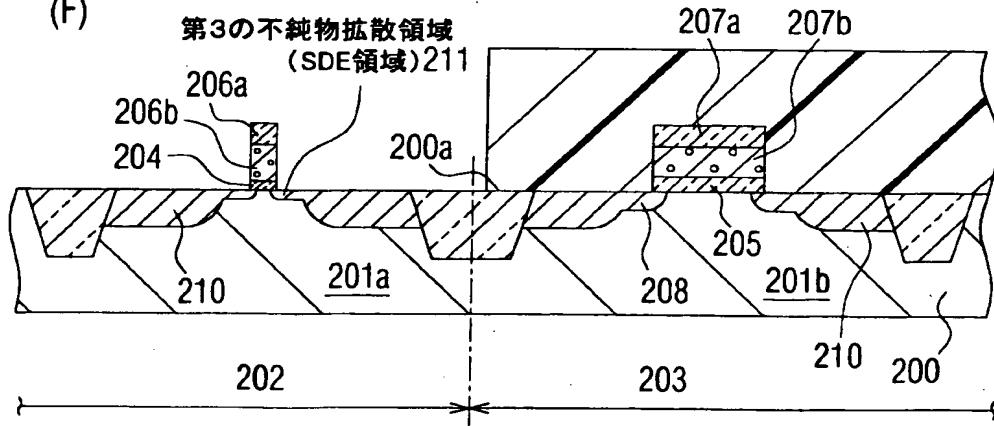
(D)



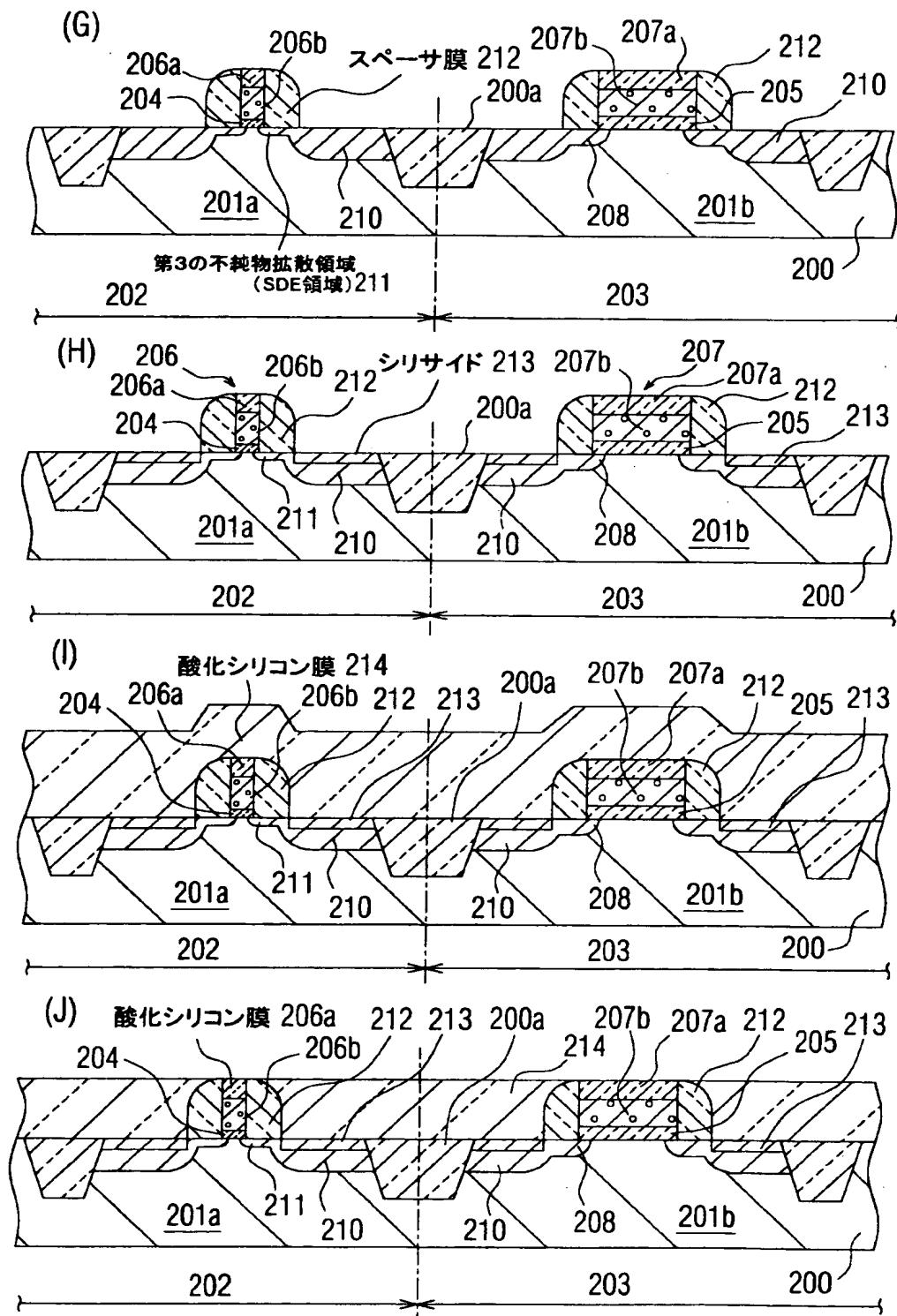
(E)



(F)

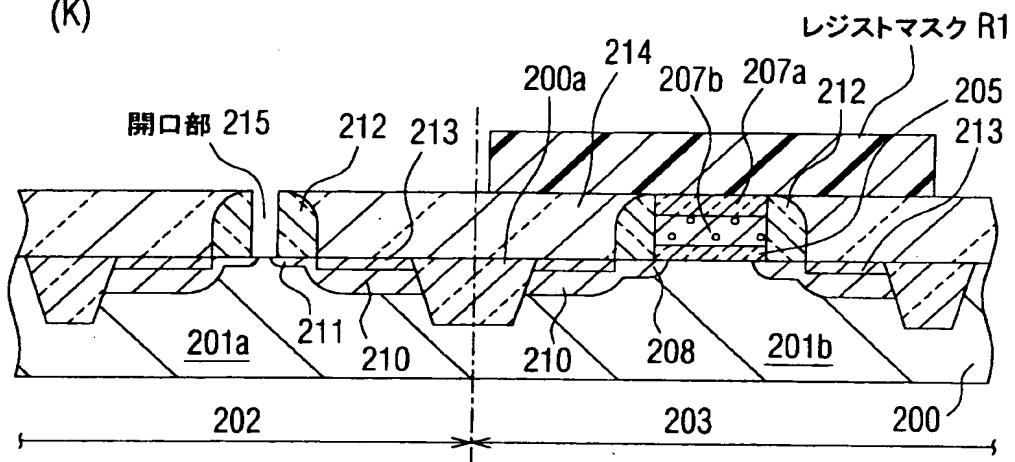


【図8】

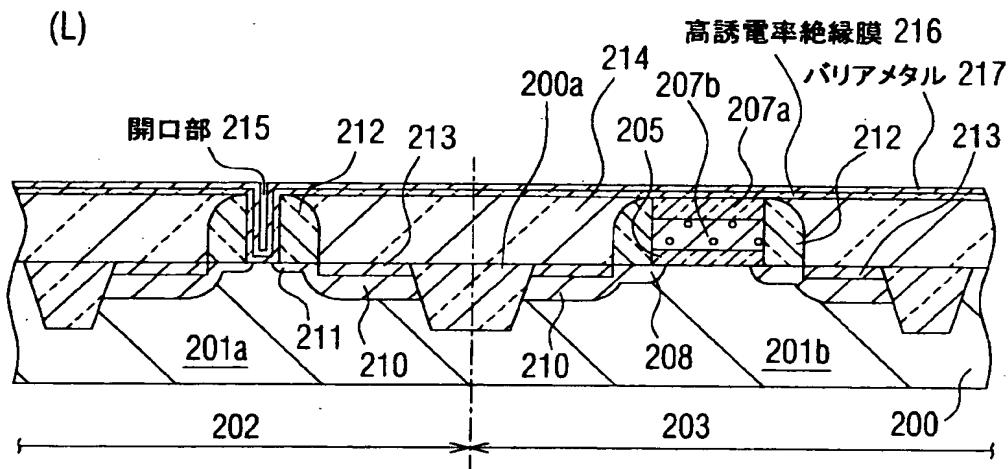


【図9】

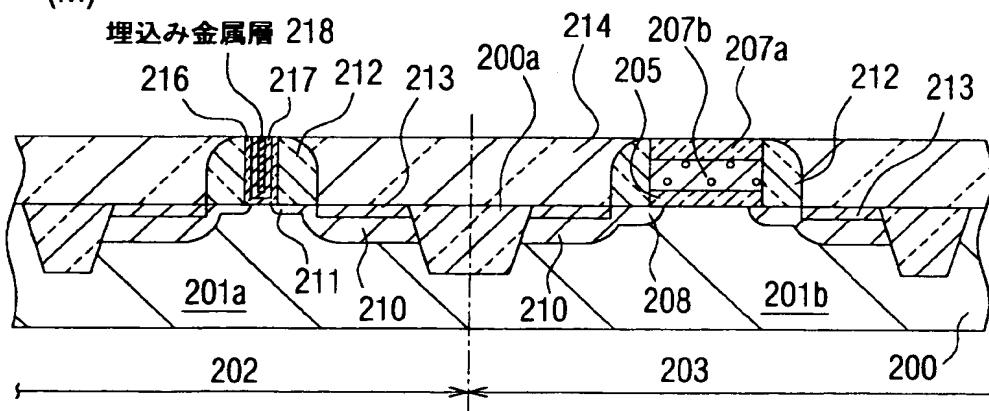
(K)



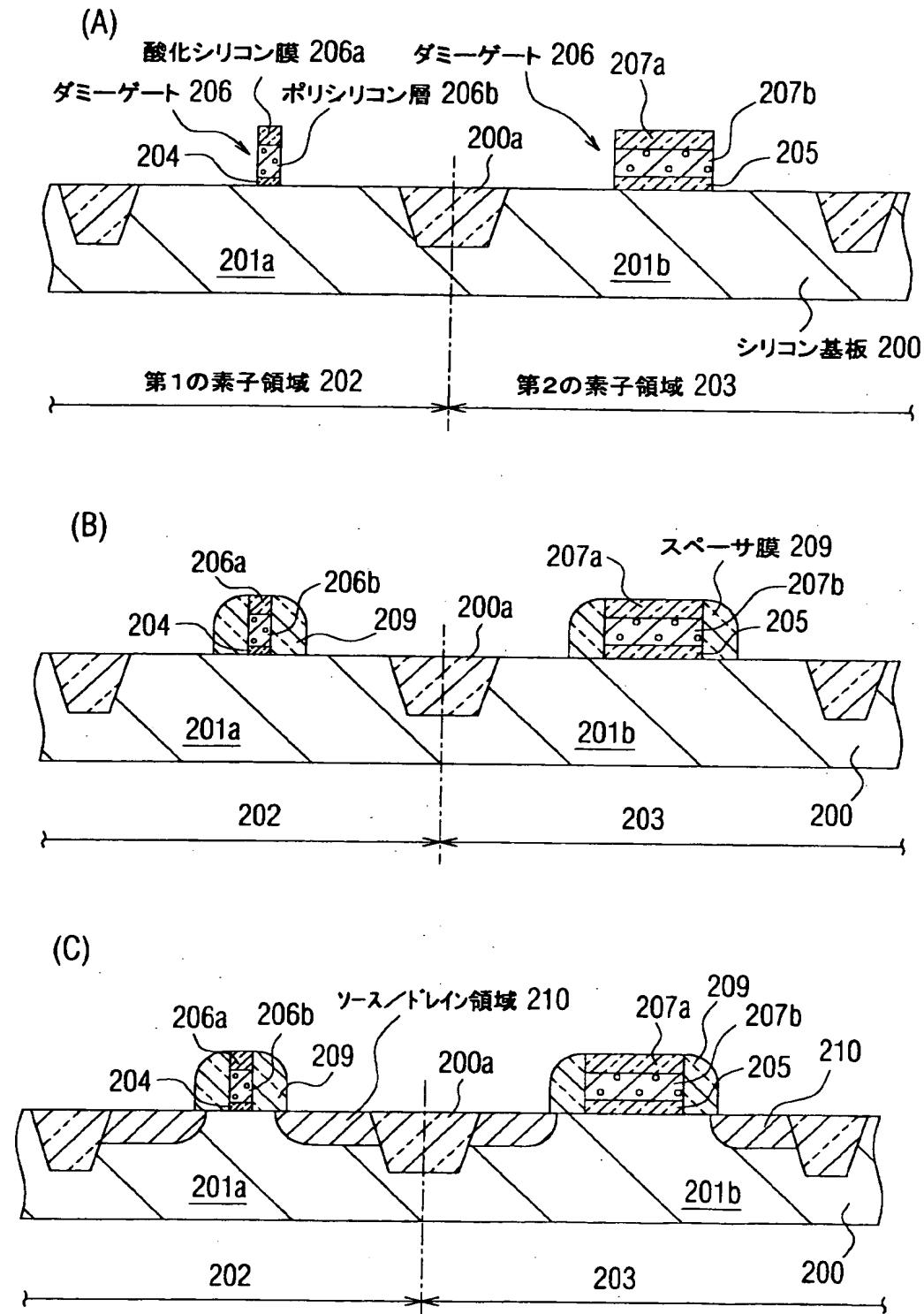
(L)



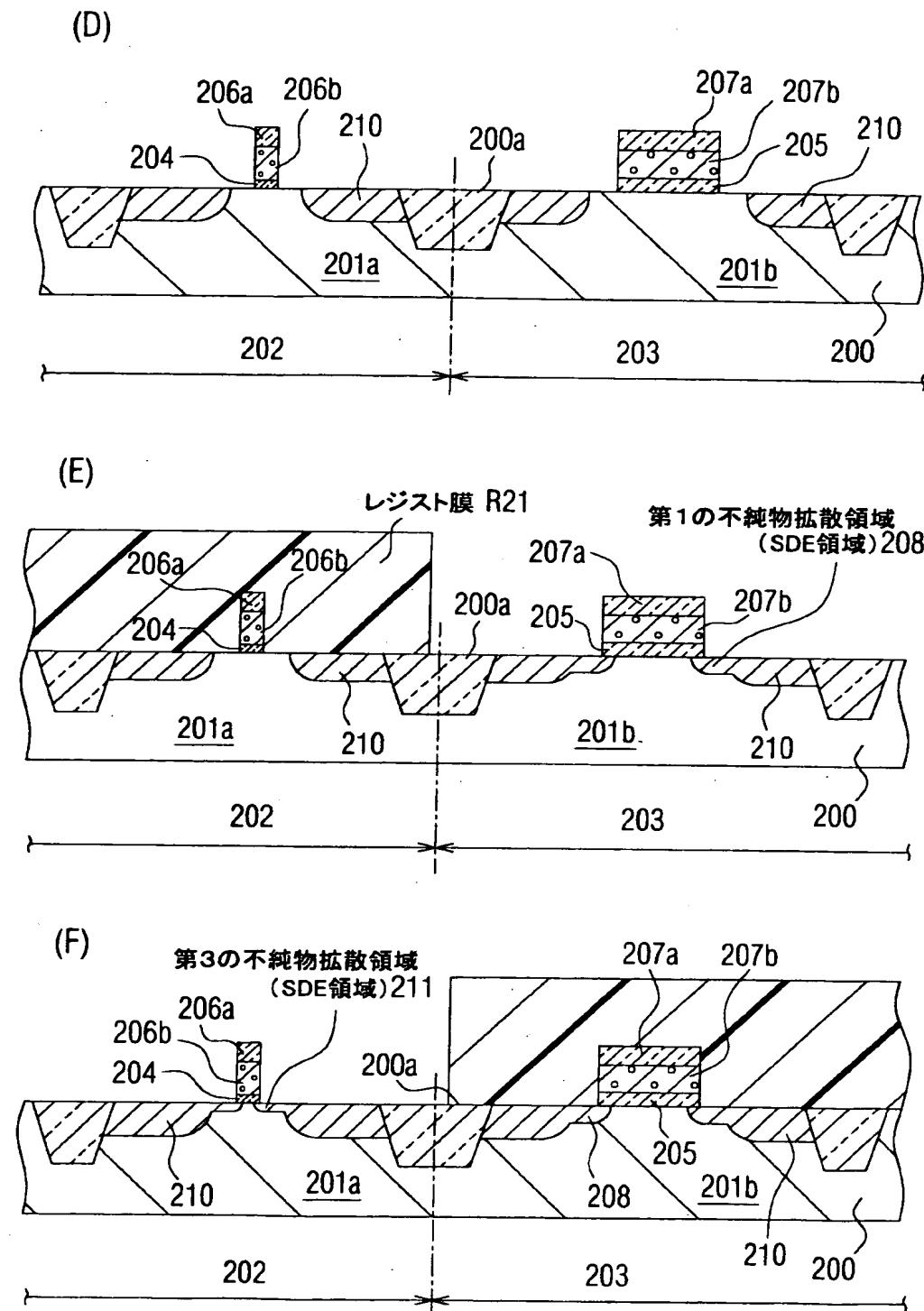
(M)



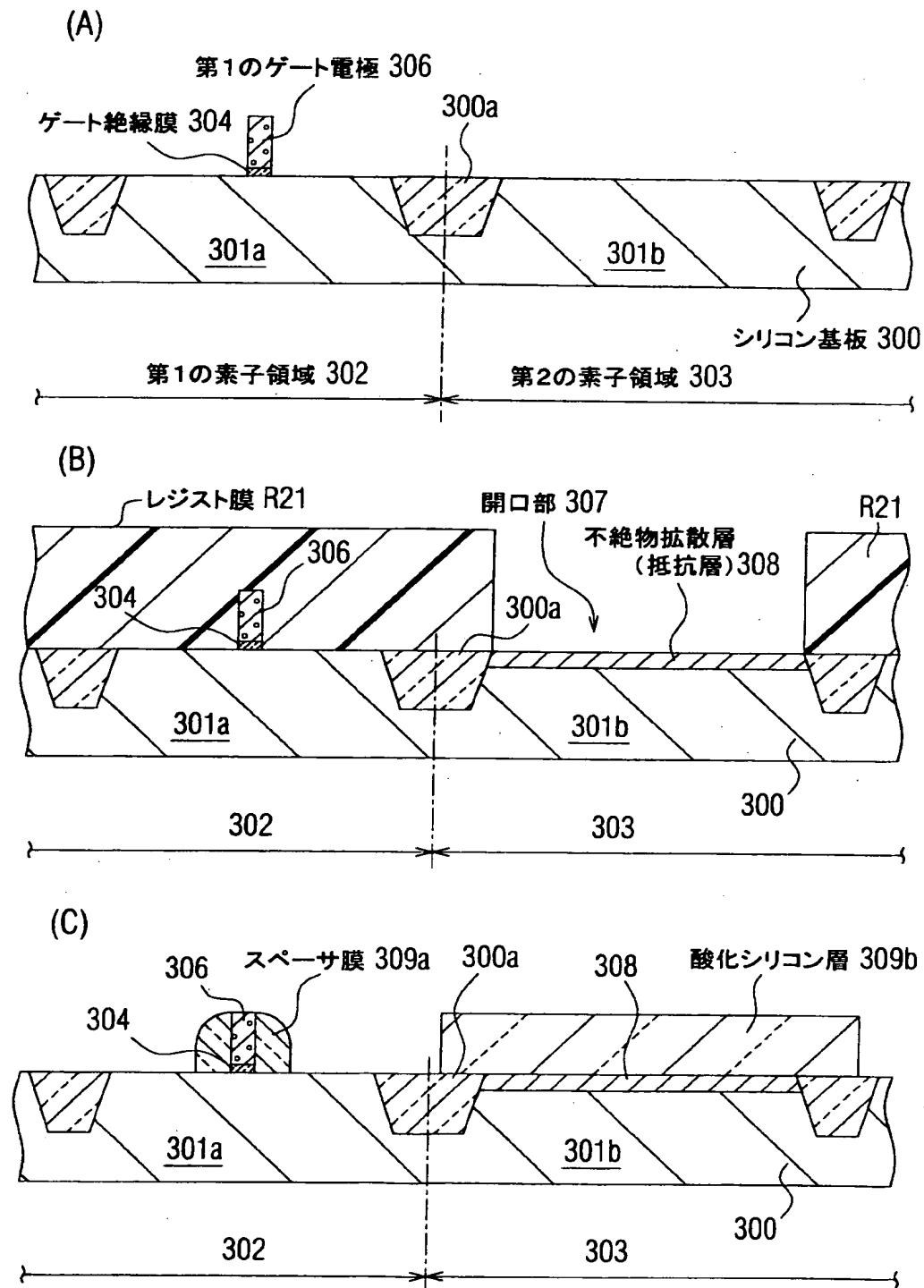
【図10】



【図11】

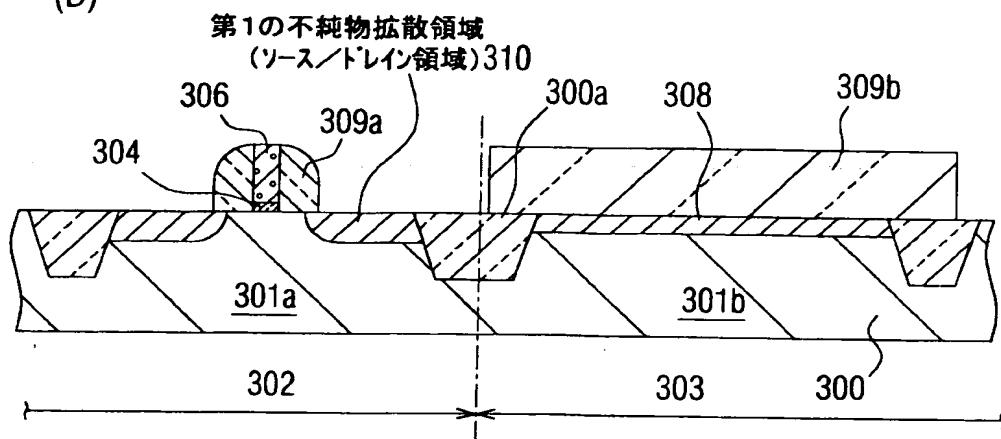


【図12】

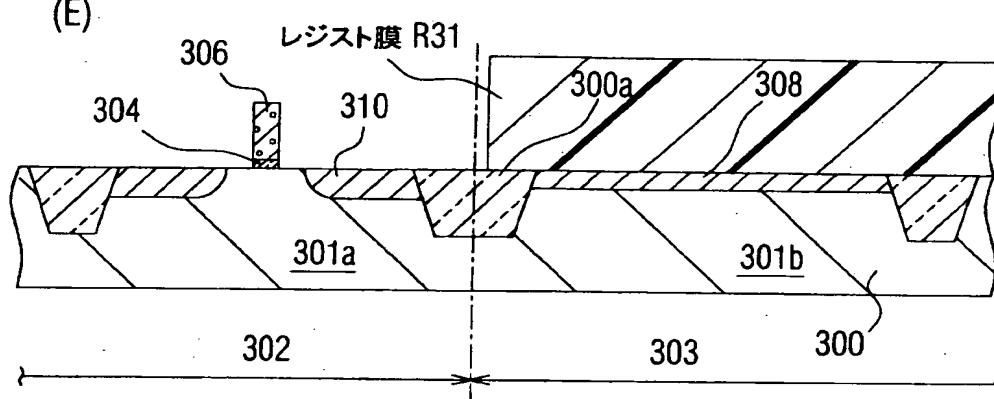


【図13】

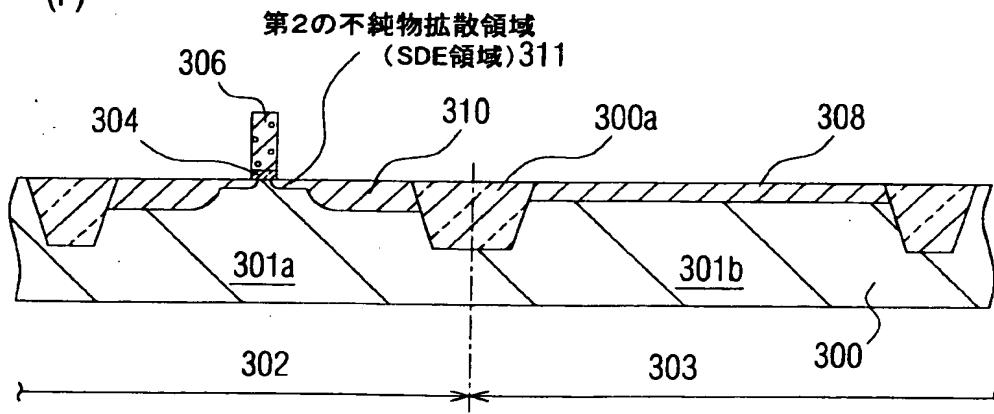
(D)



(E)

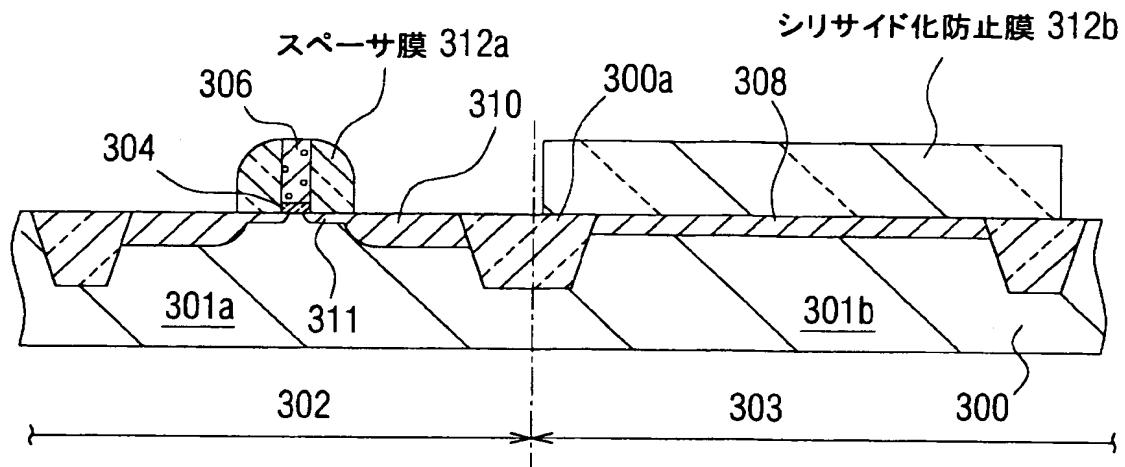


(F)

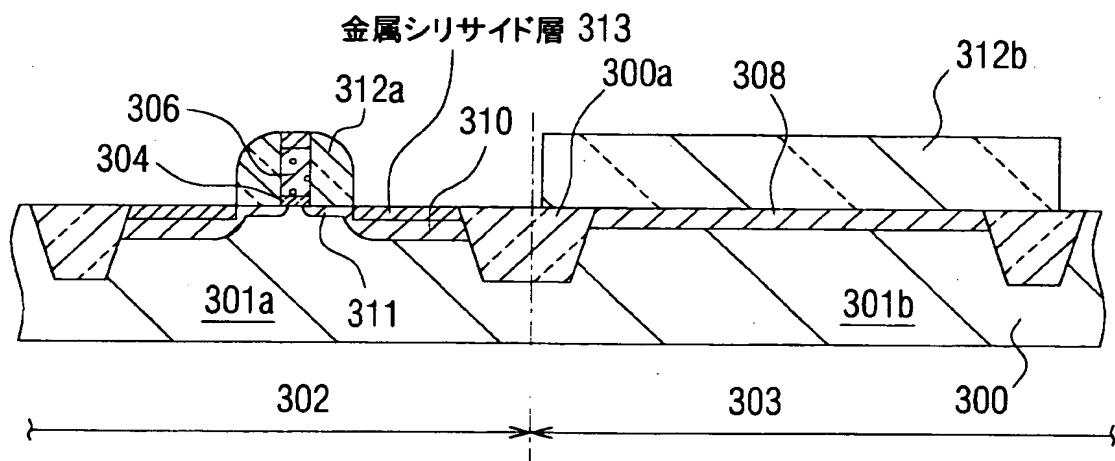


【図14】

(G)

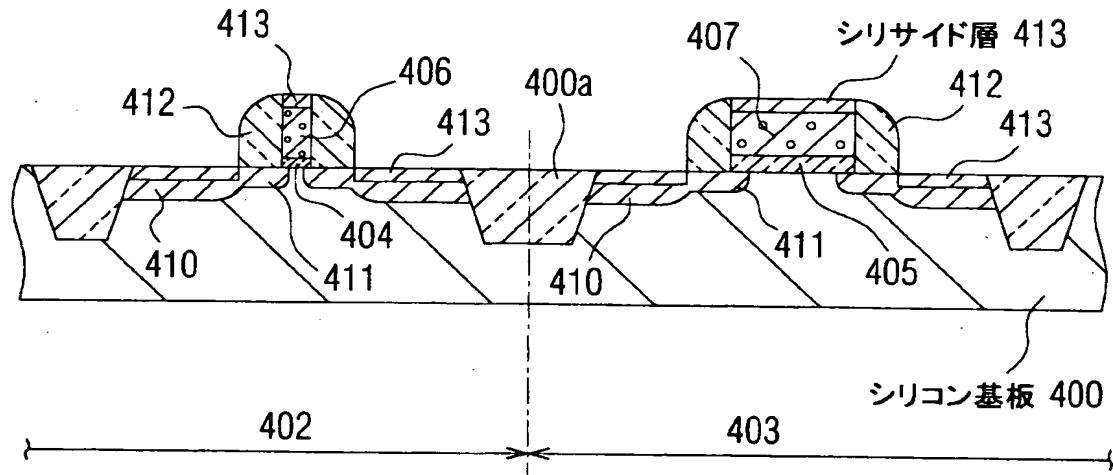


(H)

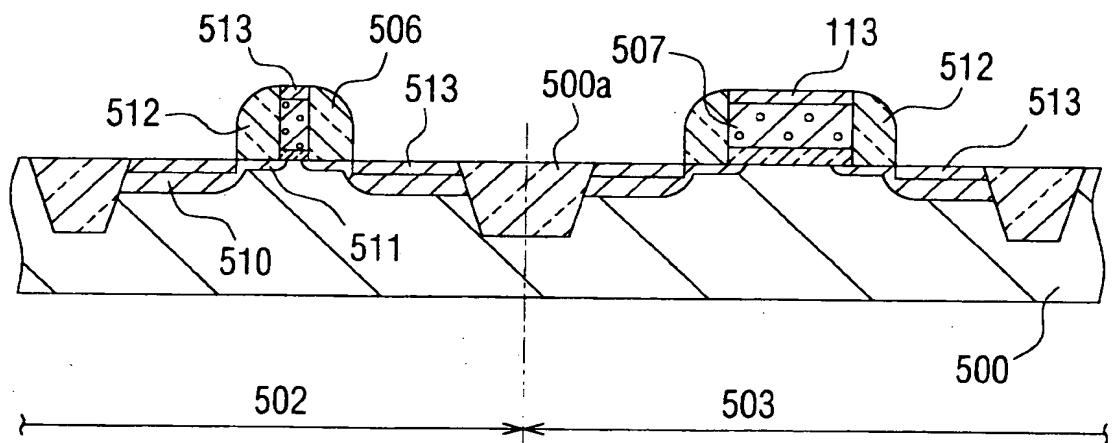


【図15】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 3以上の異なる不純物拡散領域を、同一基板上に形成する。

【解決手段】 第1及び第2領域が画定される半導体基板に第1のゲート電極と第2のゲート電極とを形成し、第2のゲート電極をマスクとして第2領域表層部に第2導電型不純物を注入し活性化処理を行う。第1の不純物拡散領域を形成する。ゲート電極の側壁上にスペーサ膜を形成し、次いでゲート電極とスペーサ膜とをマスクとして第1領域と第2領域の表層部とに第2導電型の不純物を注入し第2の活性化処理を行い第2の不純物拡散領域を形成する。次いで、第1のスペーサ膜を除去し、第1のゲート電極をマスクとして第1領域の表層部に第2導電型の不純物を注入した後第3の活性化処理を行う。第3の不純物拡散領域が形成される。そのp-n接合部における不純物濃度分布の勾配が、第1の不純物拡散領域のp-n接合部における不純物濃度分布の勾配よりも急峻になる条件で第3の活性化処理を行う。

【選択図】 図3 (H)

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社